

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-183159

(43)公開日 平成5年(1993)7月23日

(51)Int.Cl.⁵

H 0 1 L 29/784

識別記号

庁内整理番号

F I

技術表示箇所

8225-4M

H 0 1 L 29/ 78

3 0 1 H

審査請求 未請求 請求項の数5(全 9 頁)

(21)出願番号

特願平4-548

(22)出願日

平成4年(1992)1月7日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72)発明者 佐藤 典章

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72)発明者 三重野 文健

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74)代理人 弁理士 井桁 貞一

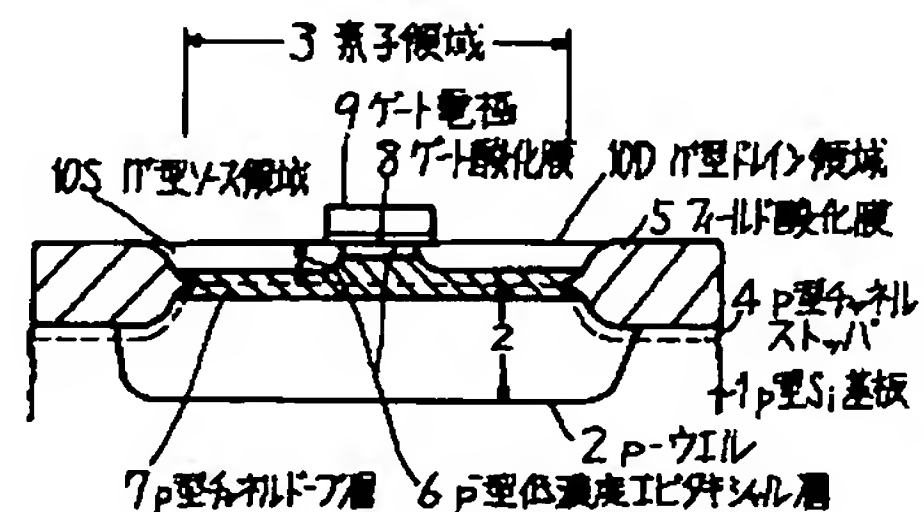
(54)【発明の名称】 半導体装置及びその製造方法

(57)【要約】

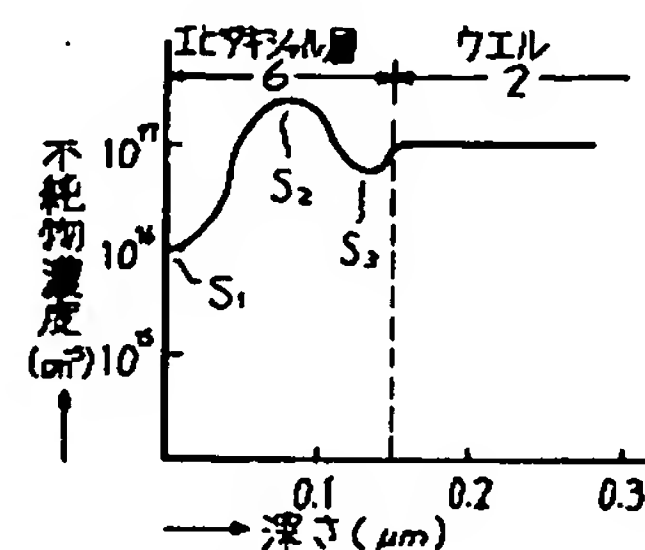
【目的】 MOSFET及びその製造方法に関し、パンチスルーを防止しつつ V_{th} を低下させることを可能にして、ドレイン飽和電流が大きく高駆動能力を有する短チャネルMOSFETを容易に提供することを目的とする。

【構成】 基板若しくはウェル2からなる一導電型半導体基体面の第1の絶縁膜5によって分離画定された素子形成領域3上に選択的に半導体エピタキシャル層6が設けられ、該半導体エピタキシャル層6の表面に絶縁ゲート型トランジスタが形成されてなる半導体装置において、該絶縁ゲート型トランジスタのゲート電極9直下の該エピタキシャル層6の表面近傍部に、該エピタキシャル層の表面から深部に向かって順次増加する一導電型を有するチャネル不純物の濃度分布7を有し、且つ該濃度分布における不純物濃度の最大値が該基体6の不純物濃度より大きいように構成する。

本発明の構造の一実施例の説明図



(a) 要部模式断面図



(b) 不純物濃度プロファイル図

【特許請求の範囲】

【請求項1】 基板若しくはウエルからなる一導電型半導体基体面の第1の絶縁膜によって分離画定された素子形成領域上に選択的に半導体エピタキシャル層が設けられ、該半導体エピタキシャル層の表面に絶縁ゲート型トランジスタが形成されてなる半導体装置において、該絶縁ゲート型トランジスタのゲート電極直下の該エピタキシャル層の表面近傍部に、該エピタキシャル層の表面から深部に向かって順次増加する一導電型を有するチャネル不純物の濃度分布を有し、且つ該濃度分布における不純物濃度の最大値が該基体の不純物濃度より大きいことを特徴とする半導体装置。

【請求項2】 前記半導体エピタキシャル層と前記該1の絶縁膜との境界領域に形成される凹部が、第2の絶縁膜により平坦に埋められてなることを特徴とする請求項1記載の半導体装置。

【請求項3】 基板若しくはウエルからなる一導電型半導体基体上に該基体面を選択的に画定表出する第1の絶縁膜を形成する工程と、該基体の表出面上に選択的に該半導体基体より低不純物濃度を有する一導電型半導体エピタキシャル層を成長せしめる工程と、

該エピタキシャル層に一導電型不純物のイオン注入を行い、該エピタキシャル層に、表面から深部に向かって順次増加する不純物の濃度分布を有し、且つ該濃度分布における不純物濃度の最大値が該半導体基体の不純物濃度よりも大きい一導電型チャネルドープ層を形成する工程と、

該エピタキシャル層上にゲート絶縁膜を介してゲート電極を形成した後、該ゲート電極の両側の該エピタキシャル層の表面部に反対導電型のソース／ドレイン領域を形成する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項4】 前記第1の絶縁膜により画定表出された半導体基体上に選択的に半導体エピタキシャル層を成長せしめる工程が、該半導体エピタキシャル層と該第1の絶縁膜との境界領域に形成される凹部に、第2の絶縁膜を平坦に埋込む工程を含むことを特徴とする請求項3記載の半導体装置の製造方法。

【請求項5】 前記半導体エピタキシャル層と第1の絶縁膜との境界領域に形成される凹部への第2の絶縁膜の埋込みが、該エピタキシャル層上から該第1の絶縁膜上にわたってSOG層を平坦に塗布形成する工程と、該SOG層を該エピタキシャル層の表面が露出するまでエッチングバックする工程よりなることを特徴とする請求項4記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、半導体装置及びその製造方法、特に高動作速度が得られる短チャネルMOSF

ET及びその製造方法に関する。

【0002】 MOSFETは微細化されるにつれて電源電圧も低下せざるを得なくなってきたおり、 $1\mu\text{m}$ のゲート長で5.0Vであったドレイン電圧が、ゲート長 $0.8\mu\text{m}$ の4.0V、 $0.5\mu\text{m}$ で3.3Vと順次低下している。これは一定電源電圧下のゲート長の縮小では、FET内部での電界増加のためにパンチスルー、DIBL(Drain Induced Barrier Lowering)、ホットキャリア効果などの特性を劣化せしめる現象を回避することが困難になると考えられることによる。

【0003】 一方、電源電圧を下げドレイン電圧を低下させて上記現象を回避する際にも閾値電圧(V_{th})はもとのままで低下しないので、飽和領域動作での実効的なゲート電圧即ち $V_g - V_{th}$ は低下する。そしてこの $V_g - V_{th}$ の低下はFETの飽和ドレイン電流を低下させその駆動能力を低下させる。

【0004】 そこで、3.3V以下のドレイン電圧では、パンチスルーが起きない程度に V_{th} 低下させる必要がある。しかし、 V_{th} を低下させるためにチャネル部の基板不純物濃度を低くすると、どうしてもパンチスルーが発生してしまうという指摘があり、パンチスルーを防止しつつ V_{th} を低下させる技術が望まれている。

【0005】

【従来の技術】 上記パンチスルーを防止しつつ V_{th} を低下させる技術として従来提案されている代表的な基板エンジニアリングに、以下の①～③に示す技術がある。

【0006】 ① Low-Impurity-Channel Transistor (LIC T) (日立) (図8参照)

この技術は、図8(a)の模式断面図に示すように、例えばp型半導体基板51に高濃度の p^+ 型ウエル52を形成した後、この基板上にノンドープエピタキシャル層53を形成する。そしてフィールド酸化膜54形成の際の高温熱処理時にウエル52から不純物をエピタキシャル層53内へ這い上がらせ、エピタキシャル層53を含むウエル52内に、図8(b)の不純物濃度プロファイル図のカーブAに示すように、表面部で最も低く、ウエル52の内部に向かって順次高くなる傾斜型の不純物濃度プロファイルが形成される。なお、図8(a)において、54はフィールド酸化膜、55はp型チャネルカット領域、56はゲート酸化膜、57はゲート電極、58Sは n^+ 型ソース領域、58Dは n^+ 型ドレイン領域を示す。

【0007】 この技術では、エピタキシャル層53の厚さや熱処理条件によるウエル52からの不純物の這い上がり長によりエピタキシャル層53の表面濃度が決定される。このため、 V_{th} を $\pm 0.1\text{V}$ 以内に合わせ込むように、不純物表面濃度のばらつきを $\pm 10^{16}\text{cm}^{-3}$ 以内の抑えるのは非常に困難である。そして更に、 V_{th} が $0.1\sim 0.4\text{V}$ 前後となるように表面濃度を $4\times 10^{16}\sim 1\times 10^{17}\text{cm}^{-3}$ の濃度とするには、ウエル52の濃度を $3\times 10^{18}\text{cm}^{-3}$ 程度とかなり高濃度にしなければならないので、ウエル52の微細

化が困難になるという問題も生ずる。

【0008】②埋込み層付トランジスタ（日立）（図9参照）

この技術は、エピタキシャル基板を用いず、比較的高加速電圧でチャネルドープを行う方式で、いわゆるパンチスルーストップパとして埋込み層を形成する方法であり、古くから知られている。図9(a)の模式断面図は、この方法で形成したMOSFETの一例で、図中、59はp型ウェル、60はp型埋込みチャネルドープ層を示し、その他の符号は図5と同一対象物を示す。

【0009】この技術では、図9(b)の不純物濃度プロファイル図のカーブBから明らかなように、表面濃度がウェル59の濃度分布 b_1 と埋込みチャネルドープ層60の濃度分布 b_2 との重ね合わせで決定されるが、ウェル59の濃度は基板抵抗の増大及びラッチアップの発生等の面からむやみに低くできず、例えば $4 \times 10^{16} \text{ cm}^{-3}$ 以下にするのは難しいことから、表面濃度がウェル59と埋込みドープ層60とのコンパラオーダでの和になり、十分に低くすることができない。

【0010】③反対導電型イオン注入によるチャネルドープトランジスタ（東芝）（図10参照）

この技術では、チャネルドープを基板即ちp-ウェル59と反対導電型のイオン注入で行い、ウェル濃度のコンペンゼーションによって図10(a)の模式断面図に示すように、ウェル59の表面部にp-型の低不純物濃度層61を形成する。なお同図において上記以外の符号は図8(a)と同一の対象物を示す。

【0011】そのため図10(b)の不純物濃度プロファイル図に示すように、例えばカーブ c_1 のように $1 \times 10^{17} \text{ cm}^{-3}$ の表面濃度を有するウェル52のコンペンゼーション後の表面濃度をのカーブCに示すように $4 \times 10^{16} \text{ cm}^{-3}$ に制御しようとする、反対導電型の不純物をカーブ c_2 に示すように表面で $6 \times 10^{16} \text{ cm}^{-3}$ となるようにカウンタードープしなければならず、しかも、反対導電型の不純物濃度のプロファイルがフラットでない、上記のような狙い通りの表面濃度の値を再現性よく実現するのは非常に難しい。

【0012】

【発明が解決しようとする課題】そこで本発明は、所定の値の低い表面不純物濃度を有し、且つ深部に向かって所定の傾斜で順次増加する不純物濃度分布を有する基板（若しくはウェル）を、高精度で再現性よく得る構造及び製造方法を提供し、これによって微細化されるMOSFETにおいて、パンチスルーを防止しつつ V_{th} を低下させることを可能にして、ドレイン飽和電流が大きく高駆動能力の微小MOSFETを容易に提供することを目的とする。

【0013】

【課題を解決するための手段】上記課題の解決は、基板若しくはウェルからなる一導電型半導体基体面の第1の

絶縁膜によって分離画定された素子形成領域上に選択的に半導体エピタキシャル層が設けられ、該半導体エピタキシャル層の表面に絶縁ゲート型トランジスタが形成されてなる半導体装置において、該絶縁ゲート型トランジスタのゲート電極直下の該エピタキシャル層の表面近傍部に、該エピタキシャル層の表面から深部に向かって順次増加する一導電型を有するチャネル不純物の濃度分布を有し、且つ該濃度分布における不純物濃度の最大値が該基体の不純物濃度より大きい本発明による半導体装置、若しくは、基板若しくはウェルからなる一導電型半導体基体上に該基体面を選択的に画定表出する第1の絶縁膜を形成する工程と、該基体の表出面上に選択的に該半導体基体より低不純物濃度を有する一導電型半導体エピタキシャル層を成長せしめる工程と、該エピタキシャル層に一導電型不純物のイオン注入を行い、該エピタキシャル層に、表面から深部に向かって順次増加する不純物の濃度分布を有し、且つ該濃度分布における不純物濃度の最大値が該半導体基体の不純物濃度よりも大きい一導電型チャネルドープ層を形成する工程と、該エピタキシャル層上にゲート絶縁膜を介してゲート電極を形成した後、該ゲート電極の両側の該エピタキシャル層の表面部に反対導電型のソース／ドレイン領域を形成する工程とを含む本発明による半導体装置の製造方法によって達成される。

【0014】

【作用】本発明では、基板若しくはウェル（主としてウェル）からなる半導体基体の上面を高温で形成される絶縁膜で分離画定した後に、この画定された半導体基体面上に不純物の喰い上がりを生じない程度の低温で選択成長させた半導体エピタキシャル層内にMOSFETを形成し、このMOSFETのチャネル部の不純物分布はチャネルドープイオン注入によって決定する。

【0015】そのために、上記エピタキシャル層をノンドープか極低濃度のエピタキシャル層により形成し、上記チャネルドープイオン注入の条件とイオン注入後のアニール条件とを最適化することにより、エピタキシャル層のチャネルが形成される表面部の不純物濃度即ち表面濃度を低濃度に保ち、ソース／ドレイン間のパンチスルーが発生し易い深さにパンチスルーの発生を抑える所望の高濃度領域を有し、且つソース／ドレイン領域の底面が接する領域にエピタキシャル層下部の半導体基体（主としてウェル）よりも低濃度の領域を有するエピタキシャル層内の不純物の濃度分布を再現性よく形成することが可能になる。

【0016】従って本発明によれば、短チャネル化及び低 V_{th} 化により高駆動能力を有し、且つソース／ドレイン領域の接合寄生容量が小さい高速MOSFETが形成できる。

【0017】また、上記のようにチャネル部の不純物分布を、ウェルを拡散源として用いずチャネルドープイオ

ン注入及びそのアニールのみで決定するために、ウェル上への選択エピタキシャル成長は 900℃以下の低温で行う。従って、このエピタキシャル成長に際してウェルの濃度分布が大きく変化することはない、ウェルの横方向の拡散長が抑えられて素子の高集積化も可能になる。

【0018】更にまた、カウンタードープで V_{th} を決定するのではないため、不純物のドーズ量は少なくてもよく、スループットの向上が図れる。

【0019】

【実施例】以下本発明を、図示実施例により具体的に説明する。図1は本発明の構造の一実施例の説明図で(a)は要部模式断面図、(b)は不純物濃度プロファイル図、図2は本発明の構造の他の実施例の要部模式断面図、図3及び図4は本発明の方法の第1の実施例の工程断面図、図5、図6、図7は本発明の方法の第2～第4の実施例の工程断面図である。全図を通じ同一対象物は同一符号で示す。

【0020】本発明の構造の一実施例を示す図1(a)において、1は比抵抗 $10\Omega\text{cm}$ 程度の p^- 型シリコン(Si)基板、2は表面濃度 $1\times 10^{17}\text{cm}^{-3}$ 、深さ $2\mu\text{m}$ 程度の p^- ウェル、3は素子領域、4は p 型チャンネルストッパ、5はフィールド酸化膜、6はノンドーブ若しくは $2\times 10^{15}\text{cm}^{-3}$ 程度の低濃度にボロン(B)ドーブされた厚さ $0.15\mu\text{m}$ 程度の p^- 型低濃度エピタキシャルSi層、7は深さ $0.08\mu\text{m}$ 程度の位置に $2\times 10^{17}\text{cm}^{-3}$ 程度のピーク濃度を有する p 型チャンネルドーブ層、8はゲート酸化膜、9はゲート電極、10Sは深さ $0.1\mu\text{m}$ 、不純物濃度 10^{20}cm^{-3} 程度の n^+ 型ソース領域、10Dは深さ $0.1\mu\text{m}$ 、不純物濃度 10^{20}cm^{-3} 程度の n^+ 型ドレイン領域を示す。

【0021】この図に示されるような構造の本発明に係るMOSFETは、後に説明する製造方法に示されるように、表面濃度が 10^{17}cm^{-3} である p^- ウェル2の上に、ノンドーブ若しくは $2\times 10^{15}\text{cm}^{-3}$ 程度の p 型低濃度を有するエピタキシャルSi層6を低温で選択成長させた後、素子領域3全域にわたりイオン注入により深さ $0.08\mu\text{m}$ 程度の所に $2\times 10^{17}\text{cm}^{-3}$ 程度のピーク濃度を有する p 型チャンネルドーブ層7を形成して構成する。

【0022】このようにすると、チャンネルドーブイオン注入による不純物は表面に向かって順次低濃度となる傾斜分布をなすことから、素子領域3の深さ方向の不純物濃度プロファイルは、同図(b)に示すように、エピタキシャルSi層6のチャンネルが形成される表面部Siが前記チャンネルドーブイオン注入の分布の裾によって $1\times 10^{16}\text{cm}^{-3}$ 程度の低濃度になり、ソースドレイン間のパンチスルーが起こり易い深さ $0.08\mu\text{m}$ 程度の所S2が $2\times 10^{17}\text{cm}^{-3}$ 程度のピーク濃度を有し、ソース及びドレイン領域10S、10Dの底面が接するチャンネルドーブ層7とウェル領域2との界面近傍の深さ $0.13\mu\text{m}$ 付近S3に不純物濃度 5×10^{16} 程度のウェル2より低濃度の領域を有するプロファイルとなる。

【0023】従って、上記S1の領域にチャンネルを形成させるための V_{th} は低い値となり、上記S2近傍の高濃度領域でソース領域10Sとドレイン領域10D間のパンチスルーは防止され、且つソース及びドレイン領域10S、10Dの底部が接する領域が上記S3に示すウェル2より低不純物濃度の領域であることによりソース、ドレイン領域10S、10Dの接合寄生容量が減少する。

【0024】そこで、パンチスルーが防止されてショートチャンネル化され、且つ V_{th} が低く高駆動能力を有する高速のMOSFETが形成される。図2に示した他の実施例は、製造条件によって前記エピタキシャルSi層3とフィールド酸化膜5との境界部に形成される凹部11をSOG(Spin On Glass)等の埋込み絶縁膜12で平坦に埋めた例で、これによって例えばゲート電極8の形成に際して、ゲート電極材料の導電膜が前記凹部11内に残留し、ソース/ドレイン間ショート等の障害を発生させるのを防止した構造である。

【0025】次に上記MOSFETを形成する際に用いる本発明に係る製造方法について図を参照し、実施例により説明する。

図3(a) 参照

前記一実施例に示した構造を有するMOSFETを形成するに際しては、先ず比抵抗 $10\Omega\text{cm}$ 程度の p^- 型Si基板1上に、下敷き酸化シリコン(SiO_2)膜13を介し素子領域3を覆う窒化シリコン(Si_3N_4)膜14を形成した後、この基板上に前記素子領域3を含むウェル形成領域を表出する開孔15を有するレジスト膜16を形成する。そして、前記レジスト膜の開孔15から加速エネルギー180 KeV、ドーズ量 $1\times 10^{13}\text{cm}^{-2}$ 程度の条件で硼素(B^+)をイオン注入する。102は第1の B^+ 注入領域を示す。

【0026】図3(b) 参照

次いで、レジスト膜16を除去し、 1200°C 、180分程度のランニング処理を行い表面濃度 10^{17}cm^{-3} 、深さ $2\mu\text{m}$ 程度の p^- ウェル2を形成した後、この基板表面に前記 Si_3N_4 膜14をマスクにして50KeV、 $2\times 10^{13}\text{cm}^{-2}$ 程度の条件で B^+ をイオン注入する。104は第2の B^+ 注入領域を示す。

【0027】図3(c) 参照

次いで、前記 Si_3N_4 膜14をマスクにし、例えば塩酸酸化手段により 900°C で選択酸化を行い、素子領域3を画定する厚さ4000Å程度のフィールド酸化膜5を形成すると同時に前記第2の B^+ 注入領域を活性化してその下部の p 型チャンネルストッパ4を形成する。

【0028】図3(d) 参照

次いで、前記 Si_3N_4 膜14及び下敷き SiO_2 膜13を除去した後、($\text{SiH}_4 + \text{H}_2 + \text{Cl}_2$)ガスを用いて1 Torr、 600°C 程度の条件で行う通常の低温エピタキシャル成長手段により、素子領域3に表出しているウェル2面上に厚さ1500Å程度のノンドーブのエピタキシャルSi層106を選択成長させる。

【0029】図4(a) 参照

次いで、900℃程度の温度におけるドライ酸化により上記エピタキシャルSi層106上に図示しない厚さ100 Å程度の図示しない犠牲酸化層を形成し、次いでこの犠牲酸化層を弗酸等により除去した後、ドライ酸化手段により改めてこのエピタキシャルSi層106上に厚さ100 Å程度のゲート酸化膜8を形成し、これと同時にチャネルストップ4をエピタキシャルSi層106まで這い上がらせ、次いで前記ゲート酸化膜8を貫通しエピタキシャルSi層106内にB⁺を例えば注入エネルギー50KeV、ドーズ量2 × 10¹³ cm⁻²の条件でイオン注入し、900℃程度の温度で活性化処理を施し、エピタキシャルSi層106内の深さ0.08 μm程度の所に2 × 10¹⁷ cm⁻³程度のピーク濃度を有し分布の裾がエピタキシャルSi層106の表面及びウエル2の上層部に達するp型チャネルドープ層7を形成する。なおここで、ノンドープのエピタキシャルSi層106は不純物の分布によって表面濃度が1 × 10¹⁶ cm⁻³程度のp型エピタキシャルSi層6となる。

【0030】図4(b) 参照

次いで、通常の方法により上記エピタキシャルSi層6上にゲート酸化膜8を介してポリSi等よりなるゲート電極9を形成し、このゲート電極をマスクにし、エピタキシャル層6内に、例えば磷(P⁺)を加速エネルギー20KeV、ドーズ量2 × 10¹³ cm⁻²、砒素(As⁺)を加速エネルギー30KeV、ドーズ量4 × 10¹⁵ cm⁻²の条件でイオン注入し、850℃程度の温度で活性化処理を行い不純物濃度10²⁰ cm⁻³、深さ1 μm程度のn⁺型ソース領域10S及びn⁺型ドレイン領域10Dを形成し本発明に係る高駆動能力ショートチャネルMOSFETの要部が完成する。なお、上記ソース、ドレイン領域の活性化処理は、後に行われる層間絶縁膜のリフローに際しての熱処理で兼ねてもよい。

【0031】図4(c) 参照

以後、通常通り、硼素珪酸ガラス(BPSG)からなる層間絶縁膜17を形成し、この層間絶縁膜17をリフローして平坦化し、その層間絶縁膜17にコンタクト窓18S、18D等を形成し、それらコンタクト窓上にアルミニウム(Al)等からなる配線19S、19D等を形成して本発明に係る高駆動能力ショートチャネルMOSFETが完成する。

【0032】前記選択エピタキシャル成長においては、素子領域を画定するフィールド酸化膜端部の形状及び成長条件によって、エピタキシャルSi層とフィールド酸化膜の境界部に凹部が形成される。そしてこの凹部は、後にゲート電極を形成する際等において前記凹部内に堆積された導電層が除去しきれないで、ソースドレイン間ショート等の障害を起こす。それを防止するのに図2に示したようにエピタキシャルSi層6とフィールド酸化膜4の境界部に生ずる凹部11を絶縁膜12で平坦に埋めた構造が用いられる。この構造を形成する際には、上記第1の実施例の工程に図5に示す第2の実施例、図6に示す

第3の実施例、図7に示す第4の実施例の方法の何れかが併用される。

【0033】図5(a) 参照

第2の実施例は、エピタキシャルSi層6の上面の方がフィールド酸化膜5の上面よりも高く、且つエピタキシャル層6とフィールド酸化膜5の境界部に凹部11が形成された際に用いられる一方法で、先ず上記基板上に上記エピタキシャル層6を埋没し且つ上面がほぼ平坦になる例えば0.5 μm程度の厚さのSOG層20をスピンコート法により反復塗布することにより形成し、次いでこのSOG層20を400℃程度でベークした後800℃程度の温度でキュアーする。

【0034】図5(b) 参照

そして次に、例えば(CF₄+CHF₃)ガスをを用いるリアクティブイオンエッチングにより、エピタキシャルSi層6の全面が露出するまでエッチバックし、エピタキシャル層6とフィールド酸化膜5の境界部の凹部11を埋め、且つエピタキシャルSi層6の上面と等しい高さの上面を有してフィールド酸化膜5上に延在するSOG層20を形成し、基板表面の平坦化が図られる。

【0035】なおこの方法では、SOG層20の塗布厚さが前記のように厚いので、形成が困難な場合は、例えば0.2 μm程度のSOG層上に0.3 μm程度の気相成長による燐珪酸ガラス(PSG)等の絶縁膜を積層した多層絶縁膜で代用してもよい。

【0036】図6(a) 参照

第3の実施例は、エピタキシャルSi層6の上面の方がフィールド酸化膜5の上面よりも高く、且つエピタキシャルSi層6とフィールド酸化膜5の境界部に凹部11が形成された際に用いられる他の方法で、この方法においては、上記基板上に、スピンコート法により形成が容易な、厚さ0.2~0.3 μmのSOG層120を形成した後、前記実施例と同様な条件でこのSOG層120をキュアーする。

【0037】図6(b) 参照

次いで、前記実施例と同様な手段により、エピタキシャルSi層6の全面が表出するまでエッチバックする。この方法ではエピタキシャルSi層6上と同様の厚さに形成されている平坦なフィールド酸化膜5上のSOG層120は除去され、エピタキシャルSi層6とフィールド酸化膜5の境界部に形成されている凹部11内のみにSOG層120が平坦に埋め込まれる。

【0038】図7(a) 参照

第4の実施例は、エピタキシャルSi層6の上面がフィールド酸化膜5の上面より低く、且つエピタキシャルSi層6とフィールド酸化膜5の境界部に凹部11が形成された際に用いられた実施例で、この方法では、上記基板上に上面が平坦になるよう0.5 μm程度に厚くスピンコート法によりSOG層220を形成した後、前記実施例同様な条件によりこのSOG層220をキュアーする。

【0039】図7(b)

次いで、前記実施例と同様な方法で上記SOG層220をエピタキシャルSi層6の全面が表出するまでエッチバックする。この方法ではエピタキシャルSi層6上より薄く形成されているフィールド酸化膜5上のSOG層220は完全に除去され、且つフィールド酸化膜5の上面もエピタキシャルSi層6の上面と同じ高さまでエッチングされる。そしてエピタキシャルSi層6とフィールド酸化膜5の境界部に形成されている凹部11の内部のみにSOG層220が埋め込まれて残留する構造になる。

【0040】

【発明の効果】以上の実施例に示したように、本発明によれば、チャンネル部が十分に低い表面濃度を有して低い V_{th} を有し、且つその下部に高濃度領域を配しソース／ドレイン間のパンチスルーを防止しつつ短チャンネル化を図って駆動能力を高め、更にソース／ドレイン領域の底面が接する領域にウエルより低濃度の領域を配しソース／ドレイン領域の接合寄生容量を減少させて動作遅延を防止した高速MOSFETが容易に形成される。また、製造工程中にMOSFET下部のウエルの横方向拡大も

防止される。

【0041】従って本発明は、高集積度を有し、且つ高速のMOSICの製造に寄与するところが大い。

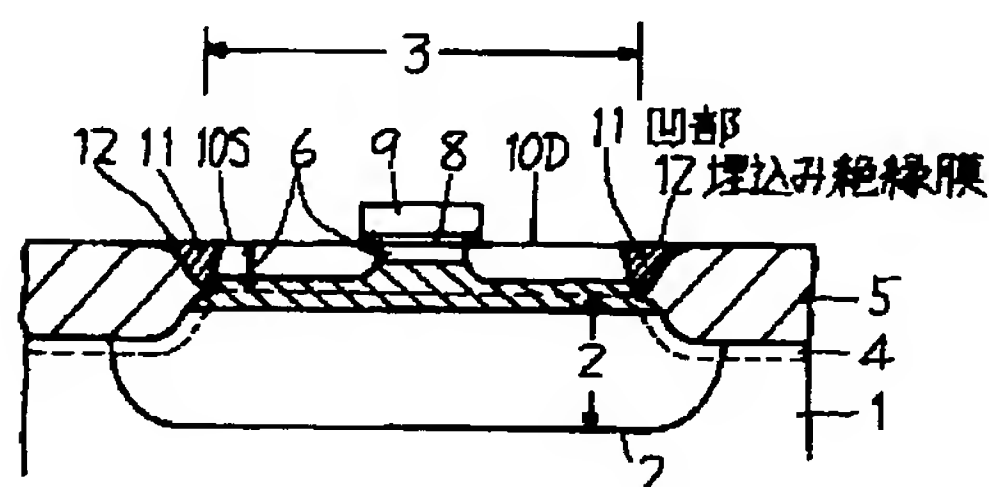
【図面の簡単な説明】

【図1】 本発明の構造の一実施例の説明図

【図2】 本発明の構造の他の実施例の要部模式断面図

【図2】

本発明の構造の他の実施例の要部模式断面図



【図3】 本発明の方法の第1の実施例の工程断面図 (その1)

【図4】 本発明の方法の第1の実施例の工程断面図 (その2)

【図5】 本発明の方法の第2の実施例の工程断面図

【図6】 本発明の方法の第3の実施例の工程断面図

【図7】 本発明の方法の第4の実施例の工程断面図

【図8】 LIC Tの説明図

【図9】 埋込み層付トランジスタの説明図

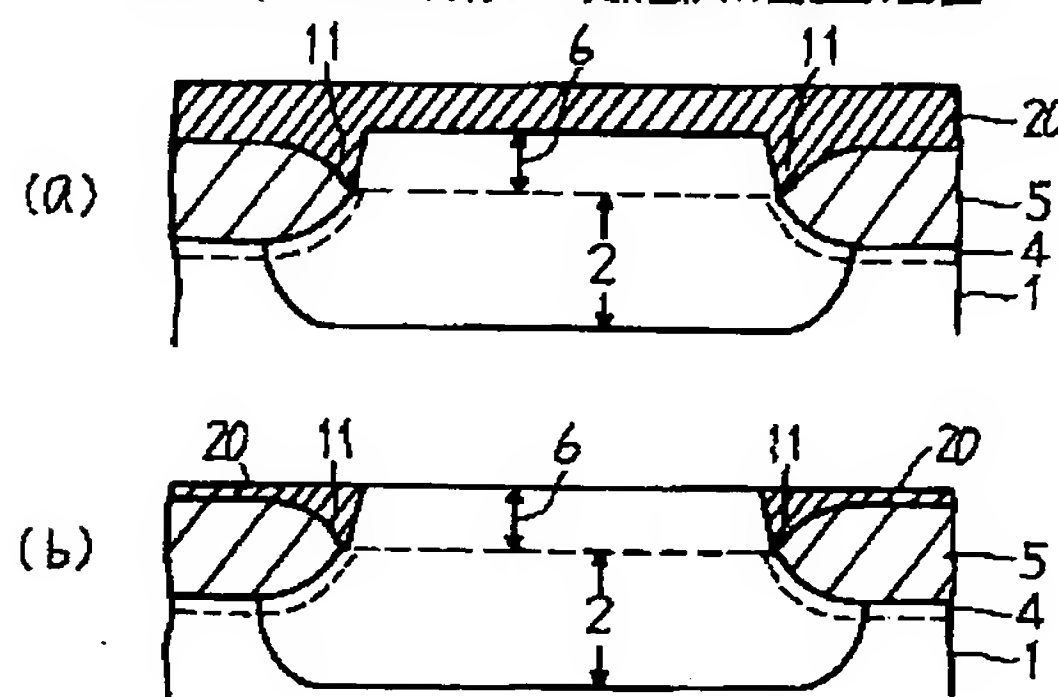
10 【図10】 反対導電型イオン注入によるチャンネルドープトランジスタの説明図

【符号の説明】

- 1 p型Si基板
- 2 p-ウエル
- 3 素子領域
- 4 p型チャンネルストッパ
- 5 フィールド酸化膜
- 6 p-型低濃度エピタキシャル層
- 7 p型チャンネルドープ層
- 8 ゲート酸化膜
- 9 ゲート電極
- 10S n+型ソース領域
- 10D n+型ドレイン領域
- 11 凹部
- 12 埋込み絶縁膜

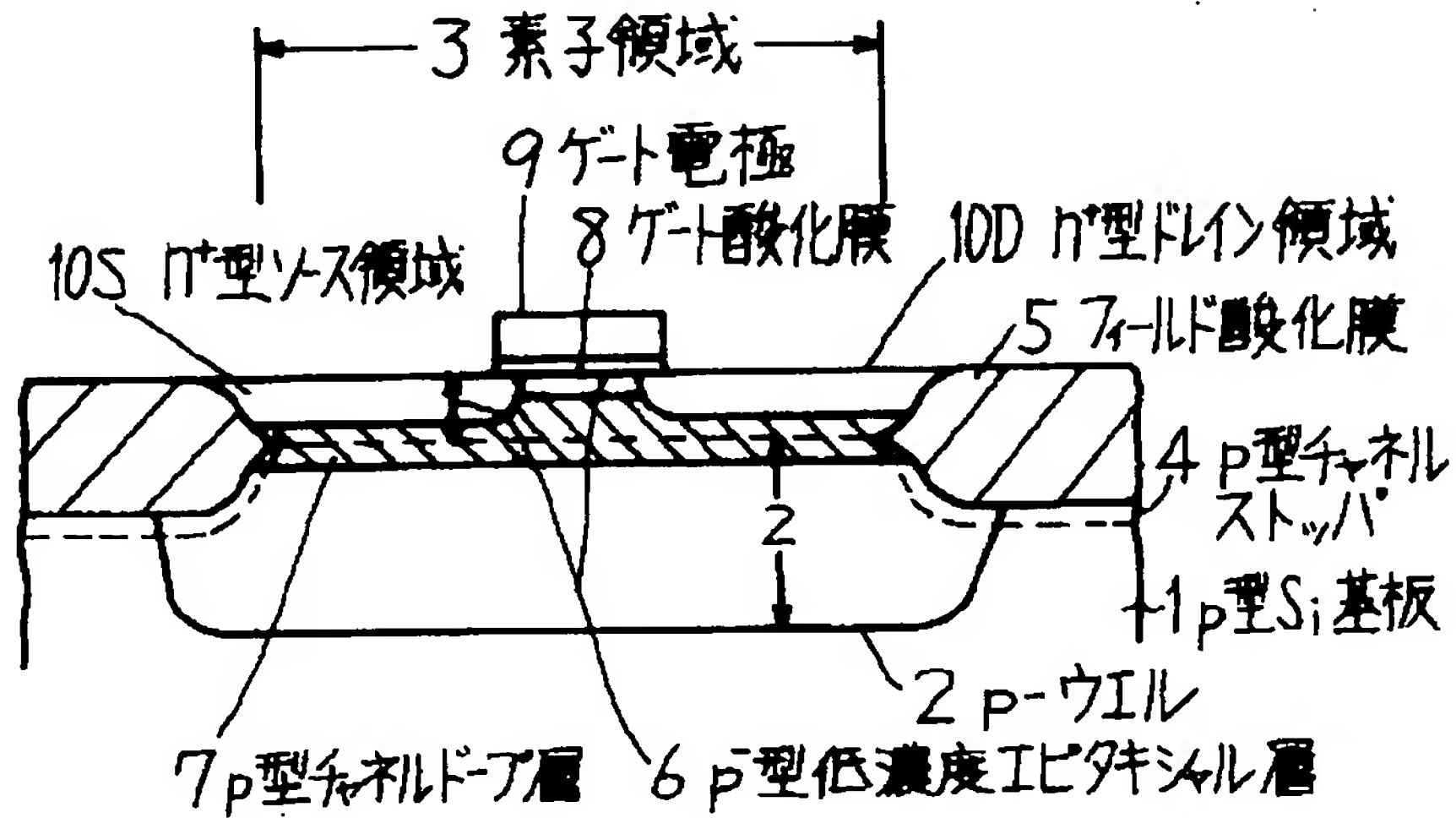
【図5】

本発明の方法の第2の実施例の工程断面図

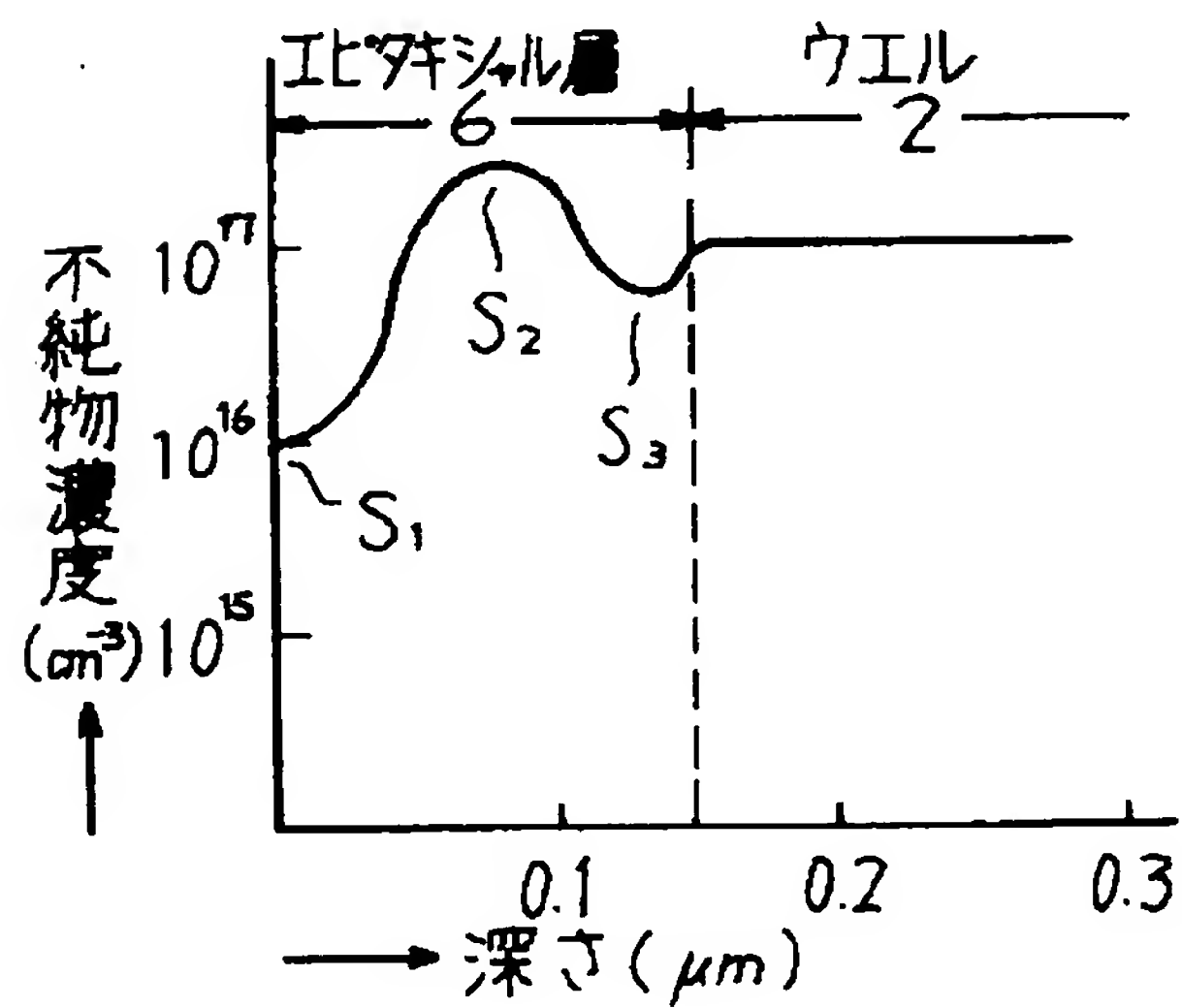


【図1】

本発明の構造の一実施例の説明図



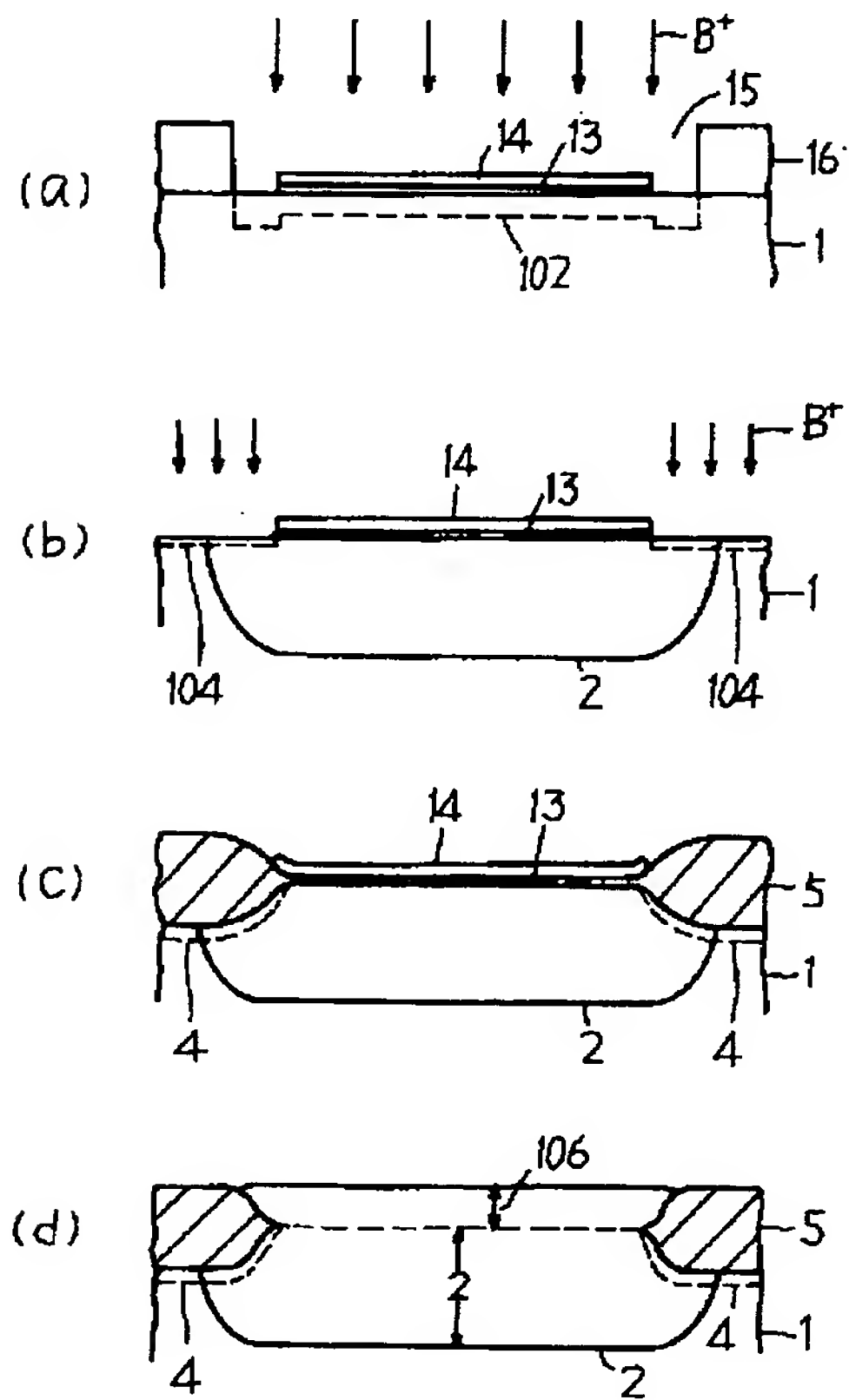
(a) 要部模式断面図



(b) 不純物濃度プロファイル図

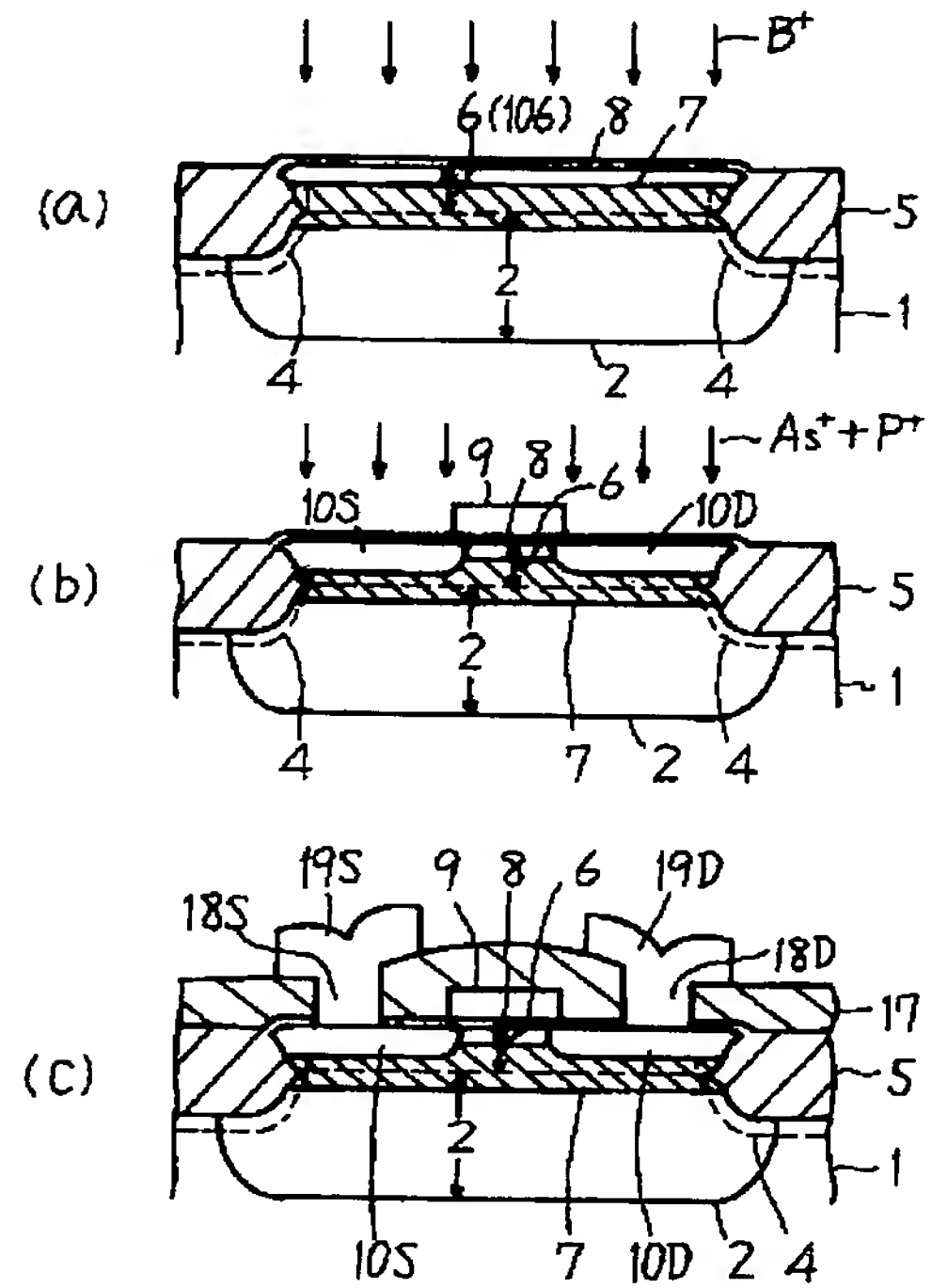
【図 3】

本発明の方法の第1の実施例の工程断面図(その1)



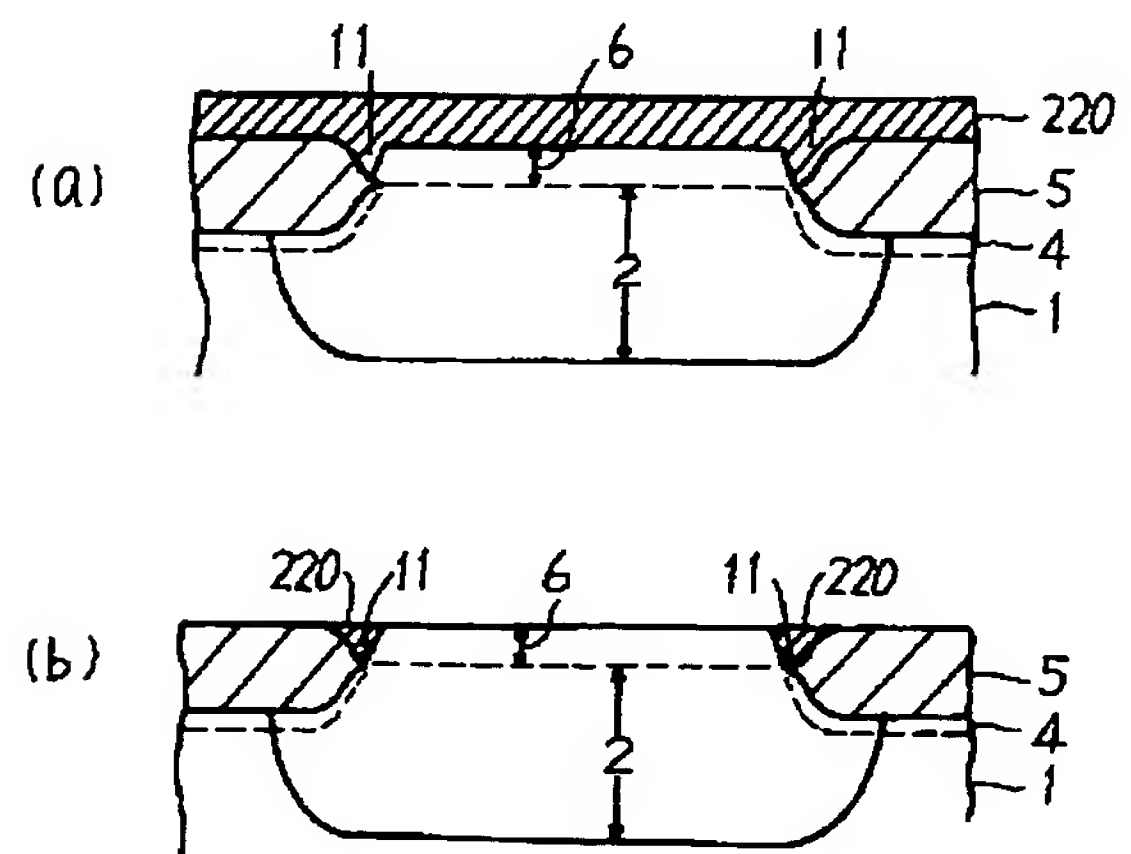
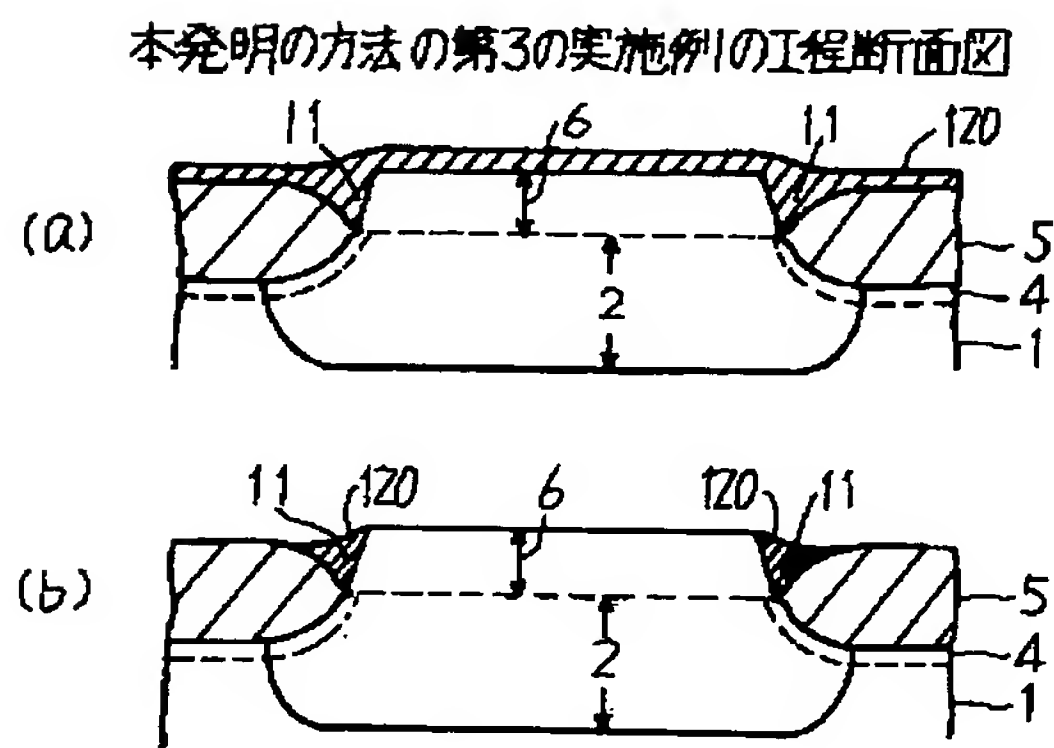
【図 4】

本発明の方法の第1の実施例の工程断面図(その2)



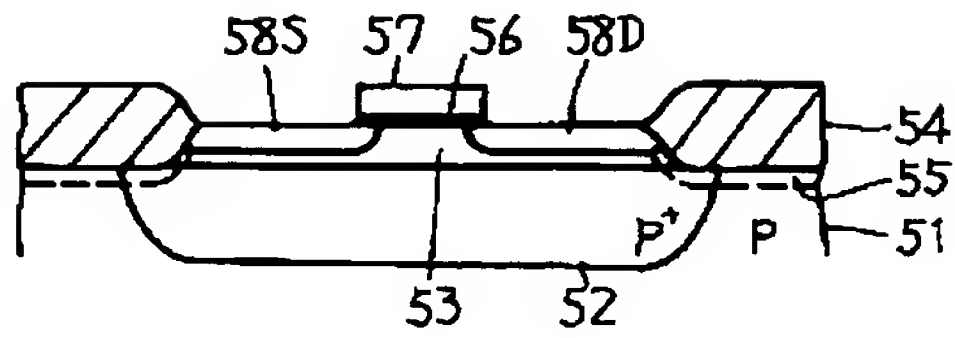
【図 7】

本発明の方法の第4の実施例の工程断面図

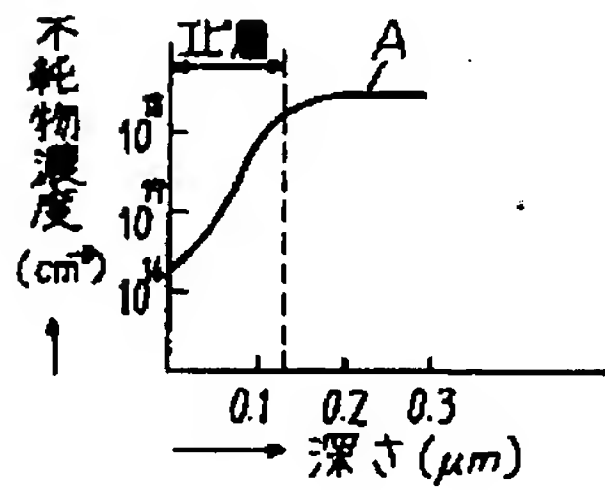


【図 8】

LICITの説明図



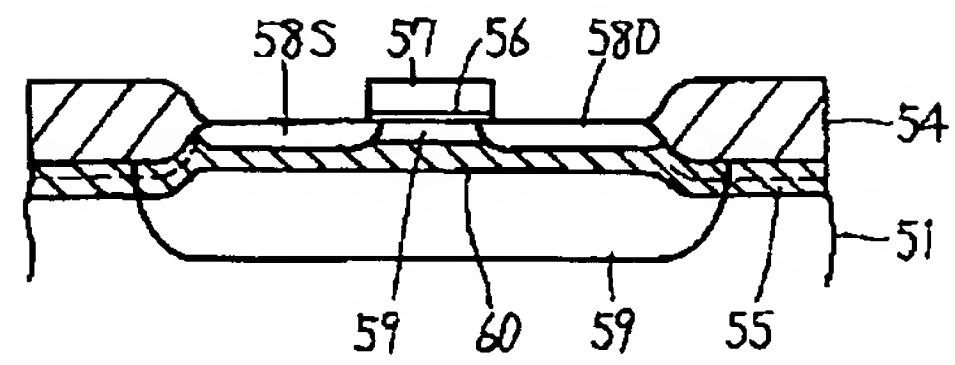
(a) 模式断面図



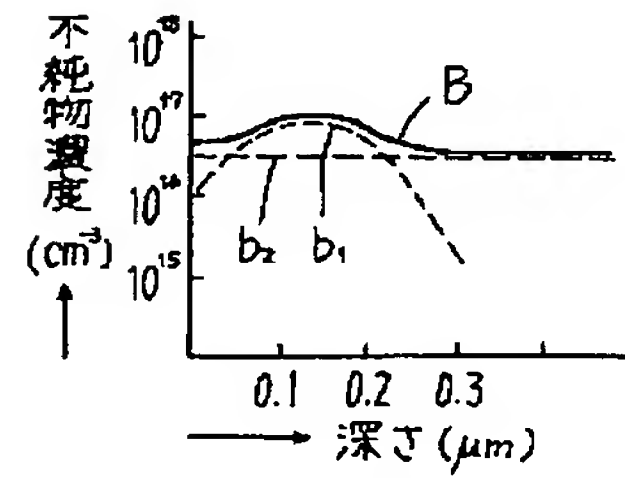
(b) 不純物濃度プロファイル図

【図 9】

埋込み層付トランジスタの説明図



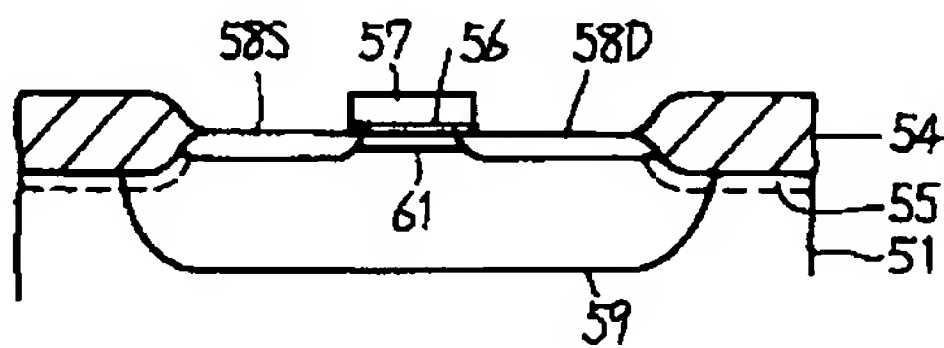
(a) 模式断面図



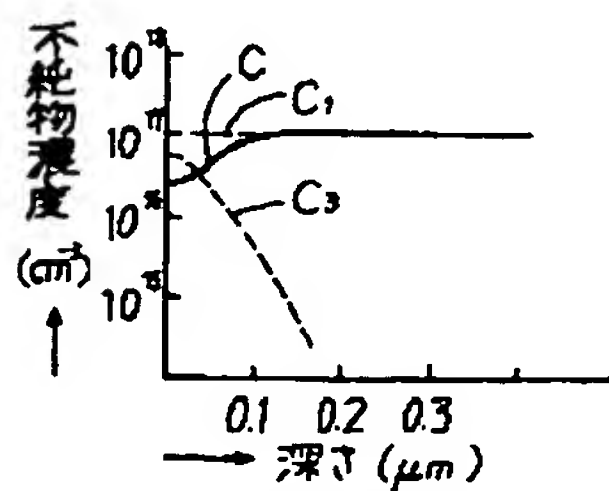
(b) 不純物濃度プロファイル図

【図 10】

反対導電型イオン注入によるチャネルトランジスタの説明図



(a) 模式断面図



(b) 不純物濃度プロファイル図

THIS PAGE BLANK (USPTO)

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-183159

(43)Date of publication of application : 23.07.1993

(51)Int.Cl.

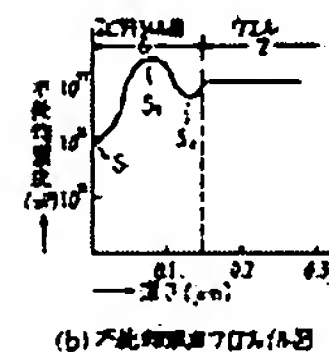
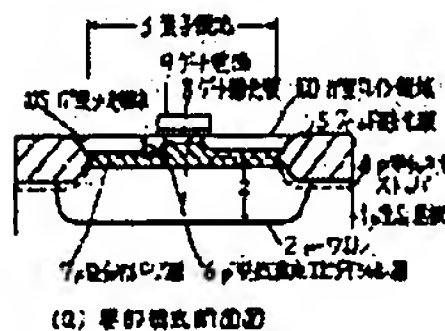
H01L 29/784

(21)Application number : 04-000548 (71)Applicant : FUJITSU LTD

(22)Date of filing : 07.01.1992 (72)Inventor : SATO NORIAKI

MIENO FUMITAKE

(54) SEMICONDUCTOR DEVICE AND FABRICATION THEREOF



(57)Abstract:

PURPOSE: To prevent punching-through from being produced between a source and a drain and hereby reduce parasitic junction capacitance for prevention of delayed operation by constructing a device such that a channel part has surface concentration of satisfactorily low impurity, and a high concentration region is located below the channel part and a lower concentration region than a well is located on the bottom of a source-drain region.

CONSTITUTION: There is selectively grown on a p-well 2 of 10^{17}cm^{-3} surface concentration and non-doped epitaxial Si layer 6 or an epitaxial Si layer 6 having

THIS PAGE BLANK (USPTO)

about $2 \times 10^{15} \text{cm}^{-3}$ p type low concentration. Then, there is formed by ion implantation a p type channel doping layer 7 having about $2 \times 10^{17} \text{cm}^{-3}$ peak concentration at the depth of about $0.08 \mu\text{m}$ over an entire device region 3. Hereby, threshold voltage is lowered along a channel surface part S1 to prevent punching-through from being produced between a source region 10s and a drain region 10d in a high concentration region in the vicinity of an intermediate part S2. A region S3 where bottom parts of the source and drain regions make contact gets low impurity concentration to reduce junction parasitic capacitance.

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's
decision of rejection]

[Kind of final disposal of application
other than the examiner's decision of
rejection or application converted
registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

* NOTICES *

THIS PAGE BLANK (USPTO)

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. **** shows the word which can not be translated.

3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] A semi-conductor epitaxial layer is selectively prepared on the component formation field as for which separation demarcation was carried out by the 1st insulator layer of the 1 conductivity-type semi-conductor base side which consists of a substrate or a well. In the semiconductor device with which it comes to form an insulated-gate mold transistor in the front face of this semi-conductor epitaxial layer In the section near the front face of this epitaxial layer directly under a gate electrode of this insulated-gate mold transistor The semiconductor device with which it has concentration distribution of the channel impurity which has one conductivity type which carries out a sequential increment toward the depths from the front face of this epitaxial layer, and maximum of the high impurity concentration in this concentration distribution is characterized by being larger than the high impurity concentration of this base.

[Claim 2] said semi-conductor epitaxial layer -- said -- this -- the semiconductor device according to claim 1 with which the crevice formed in a border area with the insulator layer of 1 is characterized by the 2nd insulator layer coming to be buried evenly.

[Claim 3] The process which forms the 1st insulator layer which carries out demarcation expression of this base side selectively on the 1 conductivity-type semi-conductor base which consists of a substrate or a well, The process make the 1 conductivity-type semi-conductor epitaxial layer which has low high impurity

THIS PAGE BLANK (USPTO)

concentration from this semi-conductor base selectively on the expressional side of this base grow up to be, The ion implantation of a 1 conductivity-type impurity is performed to this epitaxial layer. To this epitaxial layer The process in which it has the concentration distribution of an impurity which carries out a sequential increment toward the depths from a front face, and the maximum of the high impurity concentration in this concentration distribution forms a larger 1 conductivity-type channel dope layer than the high impurity concentration of this semi-conductor base, The manufacture approach of the semiconductor device characterized by including the process which forms the source / drain field of a reverse conductivity type in the surface section of this epitaxial layer of the both sides of this gate electrode after forming a gate electrode through gate dielectric film on this epitaxial layer.

[Claim 4] The manufacture approach of the semiconductor device according to claim 3 characterized by including the process to which the process which makes a semi-conductor epitaxial layer grow selectively on the semi-conductor base in which demarcation expression was carried out by said 1st insulator layer embeds the 2nd insulator layer evenly in the crevice formed in the border area of this semi-conductor epitaxial layer and this 1st insulator layer.

[Claim 5] the pad of the 2nd insulator layer to the crevice formed in the border area of said semi-conductor epitaxial layer and 1st insulator layer -- from this epitaxial layer top -- this -- the manufacture approach of the semiconductor device according to claim 4 characterized by consisting of a process which carries out spreading formation of the SOG layer evenly over a 1st insulator layer top, and a process which carries out the etching back until the front face of this epitaxial layer exposes this SOG layer.

[Translation done.]

* NOTICES *

THIS PAGE BLANK (USPTO)

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. **** shows the word which can not be translated.

3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to the short channel MOSFET from which a semiconductor device and its manufacture approach, especially high working speed are obtained, and its manufacture approach.

[0002] Supply voltage also cannot but fall as it is made detailed, and MOSFET is 1-micrometer gate length. The drain electrical potential difference which was 5.0V is gate length. 0.8 micrometers With 4.0V and 0.5 micrometers Sequential lowering is carried out with 3.3V. This is because it is thought that it becomes difficult to avoid the phenomenon of making properties, such as a punch through, DIBL (Drain Induced Barrier Lowering), and a hot carrier effect, deteriorating for the increment in electric field inside FET in a cutback of the gate length under fixed supply voltage.

[0003] the time of supply voltage reducing a lowering drain electrical potential difference, and on the other hand, avoiding the above-mentioned phenomenon -- threshold voltage (V_{th}) since it does not fall with a basis -- the effectual gate voltage in saturation region actuation -- namely, -- $V_g - V_{th}$ It falls. and -- this -- $V_g - V_{th}$ Lowering reduces the saturation drain current of FET and reduces that actuation capacity.

[0004] Then, it is necessary to make extent in which a punch through does not occur carry out V_{th} lowering on the drain electrical potential difference not more

THIS PAGE BLANK (USPTO)

than 3.3V. However, V_{th} If substrate high impurity concentration of the channel section is made low in order to make it fall, it is V_{th} , there being indication that a punch through will occur inevitably and preventing a punch through. A technique of making it falling is desired.

[0005]

[Description of the Prior Art] It is V_{th} , preventing the above-mentioned punch through. The technique shown in following ** - ** is in the typical substrate engineering by which the conventional proposal is made as a technique of making it falling.

[0006] ** Low-Impurity-Channel Transistor (LICT) (refer to drawing 8 (Hitachi)) this technique -- drawing 8 (a) it is shown in type section drawing -- as -- for example, p^+ of high concentration [substrate / 51 / p type semiconductor] a mold -- after forming a well 52, the non dope epitaxial layer 53 is formed on this substrate. And it is drawing 8 (b) in the well 52 which an impurity is made to creep up into an epitaxial layer 53 from a well 52 at the time of elevated-temperature heat treatment in the case of field oxide 54 formation, and contains an epitaxial layer 53. As shown in the curve A of high-impurity-concentration profile drawing, it is the lowest in the surface section and the high-impurity-concentration profile of the dip mold which becomes high one by one toward the interior of a well 52 is formed. In addition, drawing 8 (a) Setting, for p mold channel cut field and 56, gate oxide and 57 are [54 / field oxide and 55] a gate electrode and 58S. n^+ A mold source field and 58D n^+ A mold drain field is shown.

[0007] With this technique, the impurity from the well 52 by the thickness and the heat treatment conditions of an epitaxial layer 53 creeps up, and the surface concentration of an epitaxial layer 53 is determined by merit. For this reason, that of less than 10^{16}cm^{-3} is dramatically difficult in dispersion in impurity surface concentration so that V_{th} may be doubled within 0.1 V. And V_{th} further In order to make surface concentration into the concentration of 4×10^{16} - $1 \times 10^{17} \text{cm}^{-3}$ so that it may become 0.1 - 0.4 V order, since it must become and

THIS PAGE BLANK (USPTO)

must be made high concentration, about $[3 \times 10^{18} \text{cm}^{-3}]$ and the problem that detailed-ization of a well 52 becomes difficult also produce the concentration of a well 52.

[0008] ** A transistor with a pad layer (Hitachi) (refer to drawing 9)

Not using the epitaxial substrate, this technique is the method which performs a channel dope with high acceleration voltage comparatively, is the approach of forming a pad layer as the so-called punch-through stopper, and is known for many years. Drawing 9 (a) Type section drawing is an example of MOSFET formed by this approach, 59 show a well among drawing, 60 shows p mold pad channel dope layer p mold, and other signs show the same object as drawing 5 .

[0009] With this technique, it is drawing 9 (b). Surface concentration is the concentration distribution b1 of a well 59 so that clearly from the curve B of high-impurity-concentration profile drawing. Concentration distribution b2 of the pad channel dope layer 60 Although determined by superposition Concentration of a well 59 is not recklessly made from Men, such as buildup of substrate resistance, and generating of a latch rise, low. For example, since it is difficult, surface concentration cannot become the sum in the comparable order of a well 59 and the pad dope layer 60, and cannot make it low enough to carry out to three or less $[4 \times 10^{16} \text{cm}^{-3}]$.

[0010] ** The channel dope transistor by the reverse conductivity-type ion implantation (Toshiba) (refer to drawing 10)

this technique -- a channel dope -- a substrate, i.e., p-, -- the ion implantation of a well 59 and a reverse conductivity type -- carrying out -- a well --

KOMPENZESHON of concentration -- drawing 10 (a) it is shown in type section drawing -- as -- the surface section of a well 59 -- p- The low high-impurity-concentration layer 61 of a mold is formed. In addition, it sets to this drawing and signs other than the above are drawing 8 (a). The same object is shown.

[0011] Therefore, drawing 10 (b) As shown in high-impurity-concentration profile drawing For example, curve c1 If it is going to control to $4 \times 10^{16} \text{cm}^{-3}$ to be shown in the curve C of ***** after KOMPENZESHON of the well 52 which has the

THIS PAGE BLANK (USPTO)

surface concentration of $1 \times 10^{17} \text{cm}^{-3}$ like It is a curve c2 about the impurity of a reverse conductivity type. Must carry out a counter dope so that it may be shown, and it may become $6 \times 10^{16} \text{cm}^{-3}$ on a front face, and moreover, since the profile of the high impurity concentration of a reverse conductivity type is not a flat It is dramatically difficult to realize the value of the surface concentration as the above aims with sufficient repeatability.

[0012]

[Problem(s) to be Solved by the Invention] This invention then, the substrate (or well) which has the impurity atom concentration profile which has surface high impurity concentration with a low predetermined value, and carries out a sequential increment toward the depths on predetermined dip The structure and the manufacture approach of acquiring with with high precision and sufficient repeatability are offered, it makes it possible to reduce V_{th} , preventing a punch through in MOSFET made detailed by this, and a drain saturation current aims at offering minute MOSFET of high actuation capacity easily greatly.

[0013]

[Means for Solving the Problem] A semi-conductor epitaxial layer is selectively prepared on the component formation field as for which separation demarcation was carried out by the 1st insulator layer of the 1 conductivity-type semi-conductor base side where solution of the above-mentioned technical problem consists of a substrate or a well. In the semiconductor device with which it comes to form an insulated-gate mold transistor in the front face of this semi-conductor epitaxial layer In the section near the front face of this epitaxial layer directly under a gate electrode of this insulated-gate mold transistor It has concentration distribution of the channel impurity which has one conductivity type which carries out a sequential increment toward the depths from the front face of this epitaxial layer. and the semiconductor device by this invention with the larger maximum of the high impurity concentration in this concentration distribution than the high impurity concentration of this base -- or The process which forms the 1st insulator layer which carries out demarcation expression of this base side

THIS PAGE BLANK (USPTO)

selectively on the 1 conductivity-type semi-conductor base which consists of a substrate or a well, The process make the 1 conductivity-type semi-conductor epitaxial layer which has low high impurity concentration from this semi-conductor base selectively on the expressional side of this base grow up to be, The ion implantation of a 1 conductivity-type impurity is performed to this epitaxial layer. To this epitaxial layer The process in which it has the concentration distribution of an impurity which carries out a sequential increment toward the depths from a front face, and the maximum of the high impurity concentration in this concentration distribution forms a larger 1 conductivity-type channel dope layer than the high impurity concentration of this semi-conductor base, After forming a gate electrode through gate dielectric film on this epitaxial layer, it is attained by the manufacture approach of the semiconductor device by this invention including the process which forms the source / drain field of a reverse conductivity type in the surface section of this epitaxial layer of the both sides of this gate electrode.

[0014]

[Function] In this invention, after carrying out separation demarcation of the top face of the semi-conductor base which consists of a substrate or a well (mainly well) by the insulator layer formed at an elevated temperature, MOSFET is formed in the semi-conductor epitaxial layer which carried out selective growth at the low temperature of extent which an impurity crawls and does not produce a riser on this demarcated semi-conductor base side, and a channel dope ion implantation determines impurity distribution of the channel section of this MOSFET.

[0015] Therefore, by forming the above-mentioned epitaxial layer by the epitaxial layer of a non dope or super-low concentration, and optimizing the conditions of the above-mentioned channel dope ion implantation, and the annealing conditions after an ion implantation It maintains at low concentration, the high impurity concentration, i.e., the surface concentration, of the surface section in which the channel of an epitaxial layer is formed. It has the high concentration

THIS PAGE BLANK (USPTO)

field of the request which suppresses generating of a punch through in the depth which the punch through between source-drains tends to generate. And it becomes possible to form concentration distribution of the impurity in the epitaxial layer which has a low-concentration field rather than the semi-conductor base (mainly well) of the epitaxial layer lower part in the field to which the base of the source / drain field touches with sufficient repeatability.

[0016] Therefore, according to this invention, it has high actuation capacity by short channelization and low V_{th} -ization, and the junction parasitic capacitance of the source / drain field can form the small high speed MOSFET.

[0017] in order [moreover,] to determine impurity distribution of the channel section only by the channel dope ion implantation and its annealing as mentioned above, not using a well as a source of diffusion -- a well -- upper selection epitaxial growth It carries out at low temperature 900 degrees C or less.

Therefore, on the occasion of this epitaxial growth, concentration distribution of a well does not change a lot, the diffusion length of the longitudinal direction of a well is obstructed, and high integration of a component is also attained.

[0018] Furthermore, since V_{th} is not determined with a counter dope, there may be few doses of an impurity and can aim at improvement in a throughput again.

[0019]

[Example] Below, a graphic display example explains this invention concretely.

Drawing 1 is (a) with the explanatory view of one example of the structure of this invention. Important section type section drawing and (b) The process sectional view of the 1st example of the approach of this invention, drawing 5 , drawing 6 , and drawing 7 of high-impurity-concentration profile drawing, important section type section drawing of the example of everything [drawing 2] but the structure of this invention, drawing 3 R> 3, and drawing 4 are the process sectional views of the 2nd - the 4th example of the approach of this invention. The same agreement shows the same object through a complete diagram.

[0020] Drawing 1 which shows one example of the structure of this invention (a) Setting, 1 is about [specific resistance 10ohmcm] p. - Mold silicon (Si) substrate,

THIS PAGE BLANK (USPTO)

2 is with $1 \times 10^{17} \text{cm}^{-3}$ [of surface concentration] - a depth [3 and a depth of about 2 micrometers] p. - Well, 3 p mold channel stopper and 5 for a component field and 4 Field oxide, 6 is boron (B) to a non dope or about $[2 \times 10^{15} \text{cm}^{-3}]$ three low concentration. p with a thickness of about 0.15 micrometers doped - Mold low concentration epitaxial Si layer, p mold channel dope layer to which 7 has about $[2 \times 10^{17} \text{cm}^{-3}]$ three peak concentration in a location with a depth of about 0.08 micrometers, 8 is gate oxide and 9 is a gate electrode and 10S. Depth 0.1 micrometer and 3 about $[10^{20} \text{cm}^{-3}$ high impurity concentration to] n+ A mold source field and 10D Depth 0.1 micrometer and 3 about $[10^{20} \text{cm}^{-3}$ high impurity concentration to] n+ A mold drain field is shown.

[0021] MOSFET concerning this invention of structure as shown in this drawing p whose surface concentration is 10^{17}cm^{-3} as shown in the manufacture approach explained later - on a well 2 After carrying out selective growth of the epitaxial Si layer 6 which has a non dope or about $[2 \times 10^{15} \text{cm}^{-3}]$ three p mold low concentration at low temperature, p mold channel dope layer 7 which has about $[2 \times 10^{17} \text{cm}^{-3}]$ three peak concentration in a place with a depth of about 0.08 micrometers by the rear-spring-supporter ion implantation throughout component field 3 is formed and constituted.

[0022] If it does in this way, since the impurity by the channel dope ion implantation will make the dip distribution which serves as low concentration one by one toward a front face, the high-impurity-concentration profile of the depth direction of the component field 3 This drawing (b) The surface section S1 in which the channel of the epitaxial Si layer 6 is formed becomes about $[1 \times 10^{16} \text{cm}^{-3}]$ three low concentration by the skirt of distribution of said channel dope ion implantation so that it may be shown. It has the peak concentration whose place S2 with a depth of about 0.08 micrometers where the punch through between source-drains tends to happen is about $[2 \times 10^{17} \text{cm}^{-3}]$ three. the source and drain field 10S, and 10D the channel dope layer 7 which a base touches, and a well -- the depth near the interface with a field 2 0.13 It becomes the profile which has a low-concentration field from the with a high impurity concentration of

•

THIS PAGE BLANK (USPTO)

about 5×10^{16} well 2 near [S3] μm .

[0023] Therefore, V_{th} for making a channel form in the field of the above S1 serves as a low value. It is source field 10S in an above-mentioned about [S2] high concentration field. Drain field 10D The punch through of a between is prevented. And the source and drain field 10S, and 10D When the field where a pars basilaris ossis occipitalis touches is a field of low high impurity concentration from the well 2 shown in the above S3, they are the source, drain field 10S, and 10D. Junction parasitic capacitance decreases.

[0024] Then, short channelization of the punch through is prevented and carried out, and MOSFET of the high speed at which V_{th} has high actuation capacity low is formed. the crevice 11 where other examples shown in drawing 2 are formed in the boundary section of said epitaxial Si layer 3 and field oxide 5 of manufacture conditions -- SOG (Spin On Glass) It is the example evenly fill uped with the pad insulator layer 12. etc. -- It is the structure which prevented the electric conduction film of a gate electrode material remaining in said crevice 11, and generating failures, such as the source / short circuit between drains, on the occasion of formation of the gate electrode 8 by this.

[0025] Next, with reference to drawing, an example explains the manufacture approach concerning this invention used in case Above MOSFET is formed. Drawing 3 (a) It faces forming MOSFET which has the structure shown in reference aforementioned 1 example. It is about [specific resistance 10ohmcm] p first. - On the mold Si substrate 1, the underlay silicon oxide (SiO_2) film 13 is minded, and it is wrap silicon nitride (Si_3N_4) about the component field 3. After forming the film 14, the well which includes said component field 3 on this substrate -- the resist film 16 which has the puncturing 15 which expresses a formation field is formed. And it is boron (B^+) at the puncturing 15 of said resist film to acceleration energy 180 KeV, and 2 about [$1 \times 10^{13}\text{cm}$ dose to] conditions. An ion implantation is carried out. 102 **** 1 B^+ An impregnation field is shown. [0026] drawing 3 (b) 3 ** -- subsequently -- the resist film 16 -- removing -- 1200 degrees C and 180 a part -- extent -- running processing -- carrying out -- with

THIS PAGE BLANK (USPTO)

10¹⁷cm⁻³ [of surface concentration] - a depth [3 and a depth of about 2 micrometers] p- this substrate front face after forming a well 2 -- the above Si₃N₄ film 14 -- a mask -- carrying out -- 50KeV(s) and about [2x10¹³cm⁻² -] two conditions B+ An ion implantation is carried out. 10⁴ **** 2 B+ An impregnation field is shown.

[0027] Drawing 3 (c) Subsequently it is said Si₃N₄ 3 **. The film 14 is used as a mask, for example, it is a hydrochloric-acid oxidation means. It is said 2nd [the] at the same time it forms the field oxide 5 with a thickness of about 4000Å which performs selective oxidation at 900 degrees C, and demarcates the component field 3. B+ An impregnation field is activated and p mold channel stopper 4 of the lower part is formed.

[0028] Drawing 3 (d) Subsequently it is said Si₃N₄ 3 **. It is the epitaxial Si layer 106 of a non dope with a thickness of about 1500Å on the 2nd page of the well expressed to the component field 3 with the usual low-temperature epitaxial growth means performed on condition that 1Torr and 600 ** extent using gas (SiH₄+H₂+Cl₂) after removing the film 14 and underlay SiO₂ film 13. Selective growth is carried out.

[0029] Drawing 4 (a) It is the above-mentioned epitaxial Si layer 106 by dry oxidation [in / subsequently / 3 ** / the temperature of about 900 degrees C]. The sacrifice oxidizing zone which thickness 100 ** extent which is not illustrated upwards does not illustrate is formed. Subsequently, it is this epitaxial Si layer 106 anew by the dry oxidation means after fluoric acid etc. removes this sacrifice oxidizing zone. The gate oxide 8 of thickness 100 ** extent is formed upwards. this, simultaneously a channel stopper 4 -- epitaxial Si layer 106 It is made to creep up. up to -- Subsequently, said gate oxide 8 is penetrated and it is the epitaxial Si layer 106. To inside B+ For example, impregnation energy 50KeV, Activation is performed at the temperature of about 900 degrees C. an ion implantation is carried out on condition that dose 2x10¹³cm⁻² -- Epitaxial Si layer 106 It has about [2x10¹⁷cm⁻³ -] three peak concentration in a place with an inner depth of about 0.08 micrometers, and the skirt of distribution is the epitaxial Si

THIS PAGE BLANK (USPTO)

layer 106. p mold channel dope layer 7 which arrives at the management of a front face and a well 2 is formed. In addition, it is the epitaxial Si layer 106 of a non dope here. p whose surface concentration is about $[1 \times 10^{16} \text{cm}^{-2}]$ three by distribution of an impurity - It becomes the mold epitaxial Si layer 6.

[0030] Drawing 4 (b) Subsequently the gate electrode 9 which consists of Pori Si etc. through gate oxide 8 on the above-mentioned epitaxial Si layer 6 by the usual approach is formed 3 **. This gate electrode is used as a mask and it is phosphorus (P+) in an epitaxial layer 6. Acceleration energy 20KeV, Dose $2 \times 10^{13} \text{cm}^{-2}$ and arsenic (As+) Acceleration energy 30KeV, An ion implantation is carried out on condition that dose $4 \times 10^{15} \text{cm}^{-2}$. A deed is activation at the temperature of about 850 degrees C With - with a high impurity concentration of 10^{20}cm^{-3} a depth [3 and a depth of about 1 micrometer] n+ Mold source field 10S And n+ Mold drain field 10D The important section of the high actuation capacity short channel MOSFET which forms and starts this invention is completed. In addition, you may serve as the activation of the above-mentioned source and a drain field by heat treatment for the reflow of the interlayer insulation film performed behind.

[0031] drawing 4 (c) reference or later -- usually -- a passage -- from boron silica glass (BPSG) -- becoming -- an interlayer insulation film -- 17 -- forming -- this interlayer insulation film 17 -- a reflow -- carrying out -- flattening -- carrying out -- that interlayer insulation film 17 -- contact aperture 18S and 18D etc. -- wiring 19S and 19D which forms and consists of aluminum (aluminum) etc. on these contact aperture etc. -- the high actuation capacity short channel MOSFET which forms and starts this invention is completed.

[0032] In said selection epitaxial growth, a crevice is formed in the boundary section of an epitaxial Si layer and field oxide of the configuration and growth conditions of the field oxidation membrane end section of demarcating a component field. And this crevice causes failures, such as a short circuit between source-drains, without being able to remove the conductive layer deposited in said crevice, in case a gate electrode is formed behind. The structure which filled

THIS PAGE BLANK (USPTO)

evenly the crevice 11 produced in the boundary section of the epitaxial Si layer 6 and field oxide 4 as shown in preventing it at drawing 2 by the insulator layer 12 is used. In case this structure is formed, it is used together any of the approach of the 2nd example shown in the process of the 1st example of the above at drawing 5 , the 3rd example shown in drawing 6 , and the 4th example shown in drawing 7 they are.

[0033] Drawing 5 (a) The top face of the epitaxial Si layer 6 of the 2nd example of reference is higher than the top face of field oxide 5, and it is one approach used when a crevice 11 is formed in the boundary section of an epitaxial layer 6 and field oxide 5. the above-mentioned epitaxial layer 6 is first buried on the above-mentioned substrate, and a top face becomes almost flat -- for example -- It forms by carrying out repetitive spreading of the SOG layer 20 with a thickness of about 0.5 micrometers with a spin coat method. Subsequently, after BEKU [this SOG layer 20 / about 400 degrees C] KYUA [the temperature of about 800 degrees C].

[0034] drawing 5 (b) reference -- and -- next -- for example, (CF₄+CHF₃) The SOG layer 20 which carries out etchback until the whole surface of the epitaxial Si layer 6 is exposed, fills the crevice 11 of the boundary section of an epitaxial layer 6 and field oxide 5, and has the top face of the epitaxial Si layer 6 and the top face of equal height, and extends on field oxide 5 by the reactive ion etching using gas is formed, and flattening on the front face of a substrate is attained.

[0035] in addition -- since the spreading thickness of the SOG layer 20 is thick as mentioned above by this approach -- case formation is difficult -- for example, -- SOG about 0.2-micrometer layer top Phosphorus silica glass (PSG) by the vapor growth of about 0.3 micrometers etc. -- the multilayer insulator layer which carried out the laminating may be substituted for an insulator layer.

[0036] Drawing 6 (a) The top face of the epitaxial Si layer 6 of the 3rd example of reference is higher than the top face of field oxide 5. And by other approaches used when a crevice 11 is formed in the boundary section of the epitaxial Si layer 6 and field oxide 5, it sets to this approach. On the above-mentioned substrate, it

THIS PAGE BLANK (USPTO)

is thickness with easy formation by the spin coat method. 0.2-0.3 SOG layer 120 of mum It is this SOG layer 120 at the conditions same after forming as said example. KYUA.

[0037] Drawing 6 (b) 3 **, subsequently, with the same means as said example, etchback is carried out until the whole surface of the epitaxial Si layer 6 expresses. SOG layer 120 on the flat field oxide 5 currently formed in the same thickness as the epitaxial Si layer 6 top by this approach It is the SOG layer 120 only in the crevice 11 which is removed and is formed in the boundary section of the epitaxial Si layer 6 and field oxide 5. It is embedded evenly.

[0038] Drawing 7 (a) The 4th example of reference has the top face of the epitaxial Si layer 6 lower than the top face of field oxide 5, and it is the example used when a crevice 11 was formed in the boundary section of the epitaxial Si layer 6 and field oxide 5. It becomes [on the above-mentioned substrate / a top face] flat by this approach and needs. It is the SOG layer 220 by the spin coat method thickly to about 0.5 micrometers. It is this SOG layer 220 by the conditions same after forming as said example. KYUA.

[0039] Drawing 7 (b) Subsequently it is the above-mentioned SOG layer 220 with the same approach as said example. Etchback is carried out until the whole surface of the epitaxial Si layer 6 expresses. SOG layer 220 on the field oxide 5 currently formed by this approach more thinly than the epitaxial Si layer 6 top It is removed thoroughly and the top face of field oxide 5 is also etched to the same height as the top face of the epitaxial Si layer 6. And it is the SOG layer 220 only to Uchibe, the crevice 11 currently formed in the boundary section of the epitaxial Si layer 6 and field oxide 5. It becomes the structure which is embedded and remains.

[0040]

[Effect of the Invention] As shown in the above example, according to this invention, the channel section has surface concentration low enough, and has low V_{th} . And drawing heightens actuation capacity for short channelization, allotting a high concentration field to the lower part, and preventing the punch

THIS PAGE BLANK (USPTO)

through between source-drains. Furthermore, the high speed MOSFET which the low-concentration field was allotted from the well to the field to which the base of the source / drain field touches, and the junction parasitic capacitance of the source / drain field was decreased, and prevented time delay energizing is formed easily. Moreover, longitudinal direction amplification of the well of the MOSFET lower part is also prevented in a production process.

[0041] Therefore, the place of this invention which has a high degree of integration and contributes to manufacture of high-speed MOSIC is large.

[Translation done.]

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] The explanatory view of one example of the structure of this invention

[Drawing 2] Important section type section drawing of other examples of the structure of this invention

[Drawing 3] The process sectional view of the 1st example of the approach of this invention (the 1)

[Drawing 4] The process sectional view of the 1st example of the approach of this

THIS PAGE BLANK (USPTO)

invention (the 2)

[Drawing 5] The process sectional view of the 2nd example of the approach of this invention

[Drawing 6] The process sectional view of the 3rd example of the approach of this invention

[Drawing 7] The process sectional view of the 4th example of the approach of this invention

[Drawing 8] The explanatory view of LICCT

[Drawing 9] The explanatory view of a transistor with a pad layer

[Drawing 10] The explanatory view of the channel dope transistor by the reverse conductivity-type ion implantation

[Description of Notations]

1 P Mold Si Substrate

2 P - Well

3 Component Field

4 P Mold Channel Stopper

5 Field Oxide

6 P - Mold Low Concentration Epitaxial Layer

7 P Mold Channel Dope Layer

8 Gate Oxide

9 Gate Electrode

10S n+ Mold source field

10D n+ Mold drain field

11 Crevice

12 Pad Insulator Layer

[Translation done.]

* NOTICES *

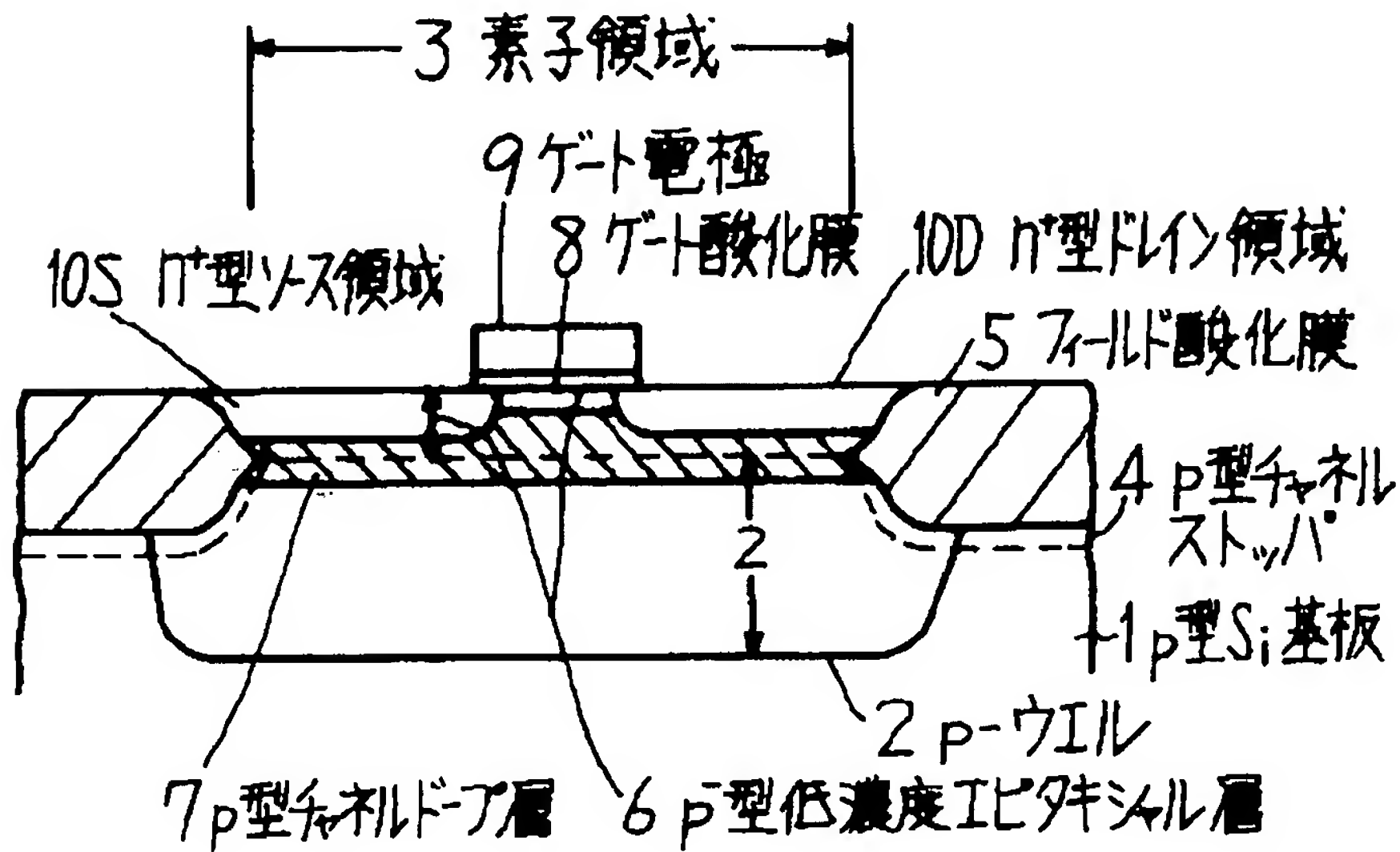
THIS PAGE BLANK (USPTO)

3. In the drawings, any words are not translated.

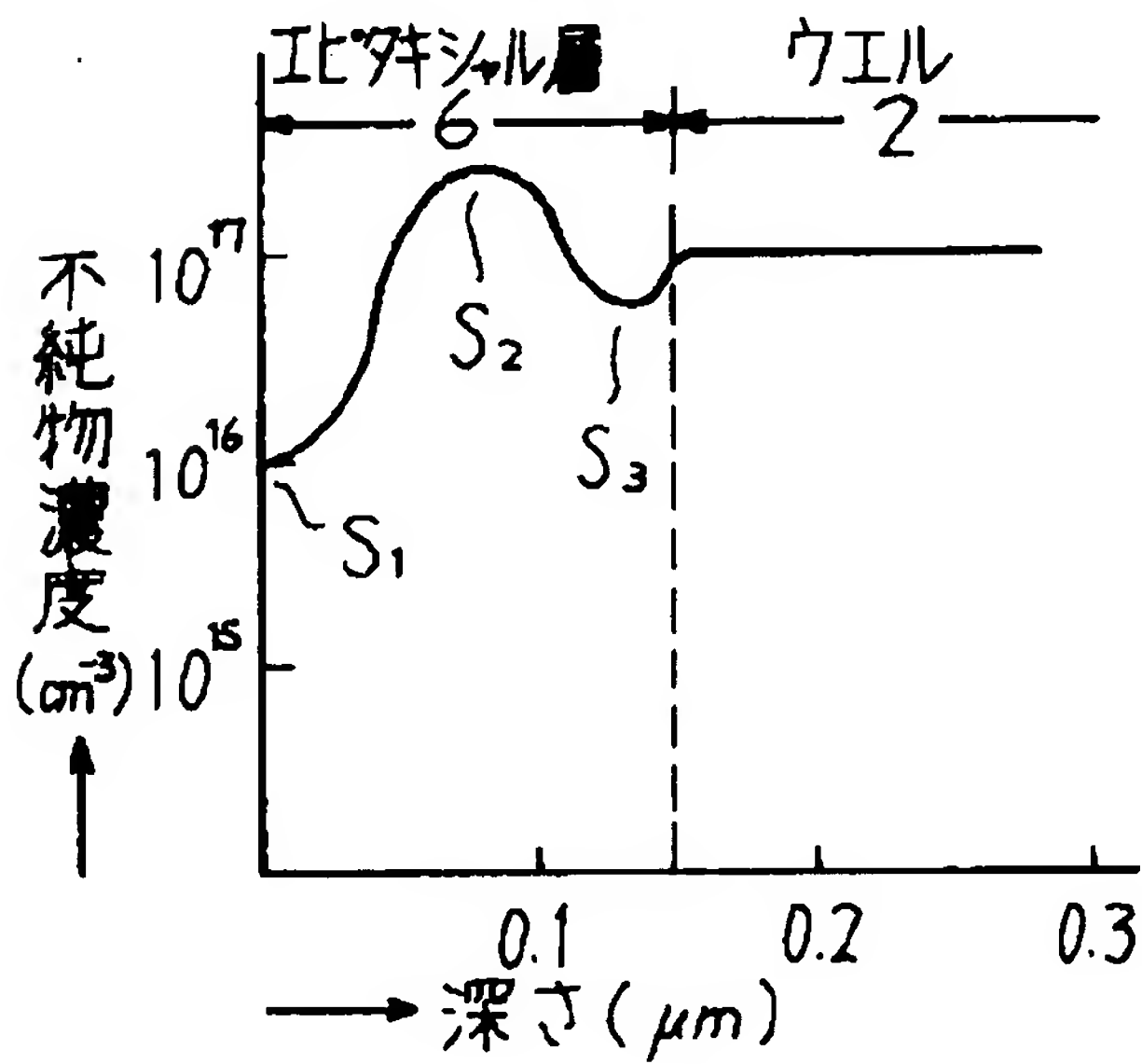
[Drawing 1]

THIS PAGE BLANK (USPTO)

本発明の構造の一実施例の説明図



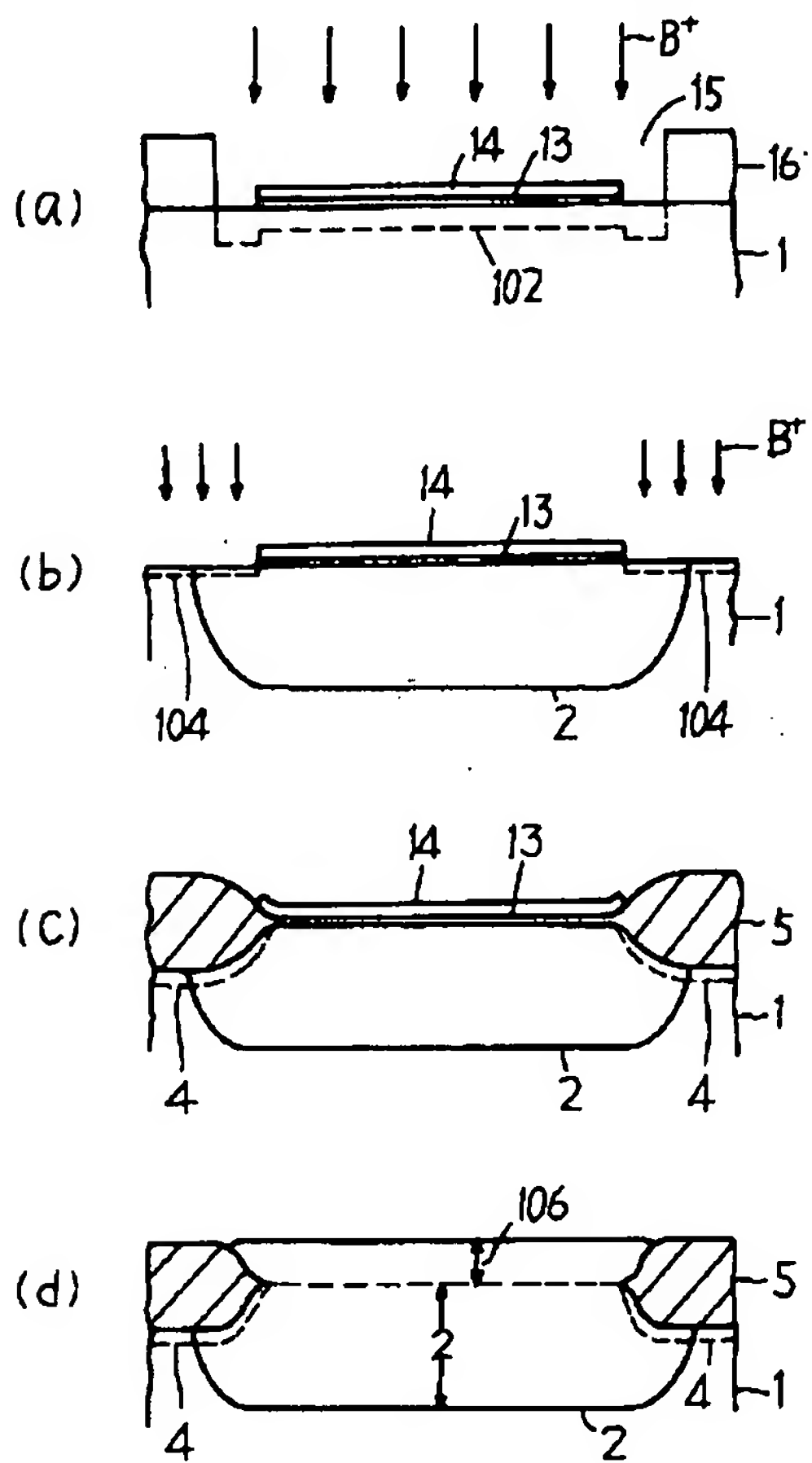
(a) 要部模式断面図



(b) 不純物濃度プロファイル図

THIS PAGE BLANK (USPTO)

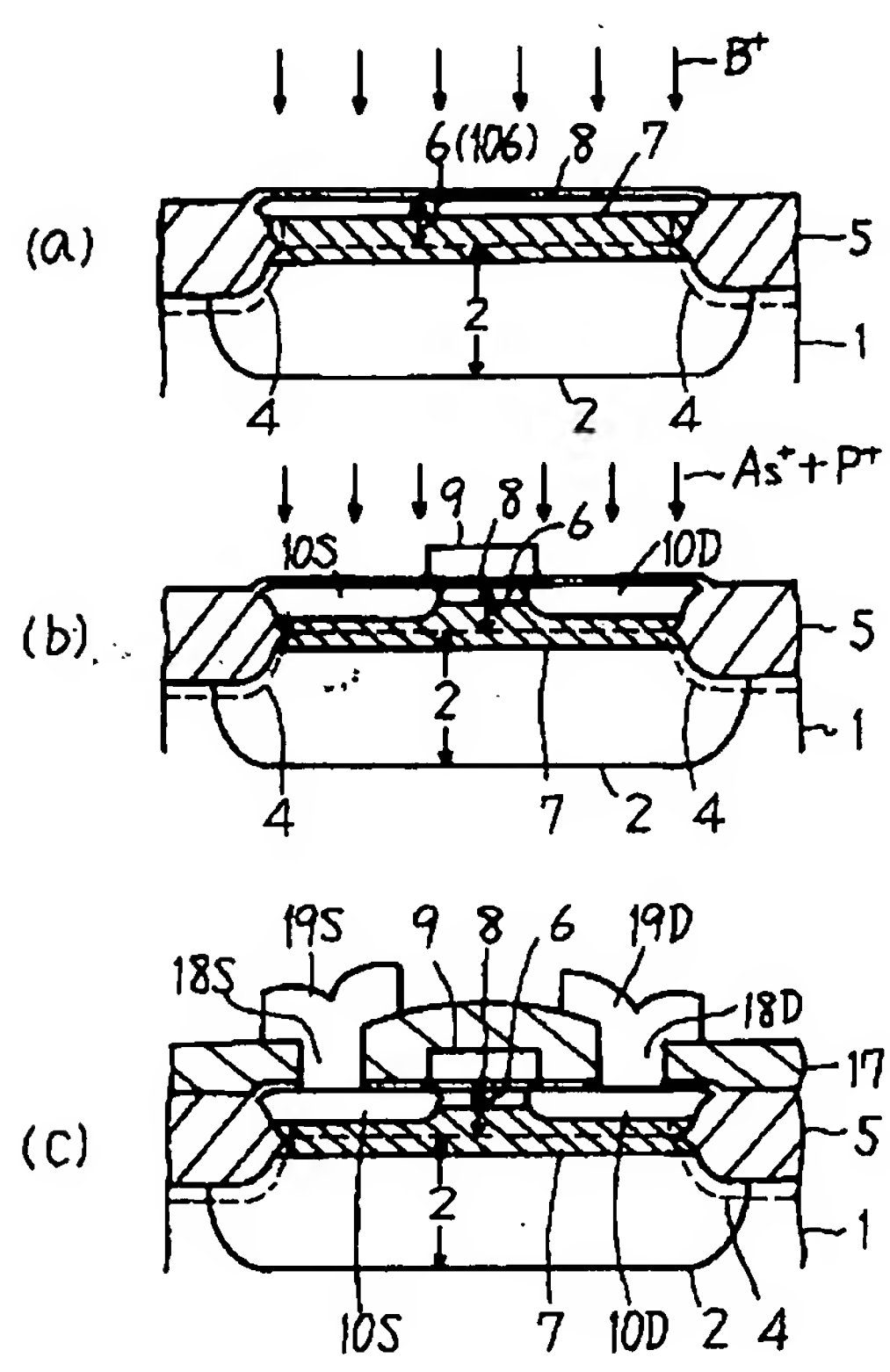
本発明の方法の第1の実施例の工程断面図(その1)



[Drawing 4]

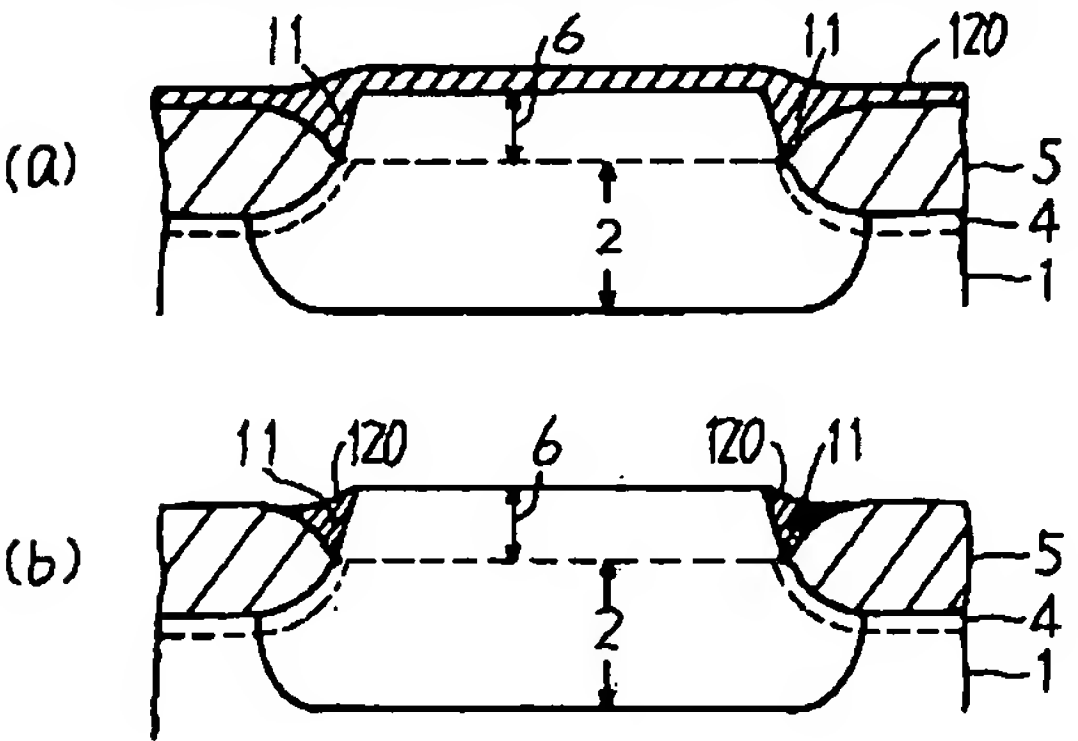
THIS PAGE BLANK (USPTO)

本発明の方法の第1の実施例の工程断面図(その2)



[Drawing 6]

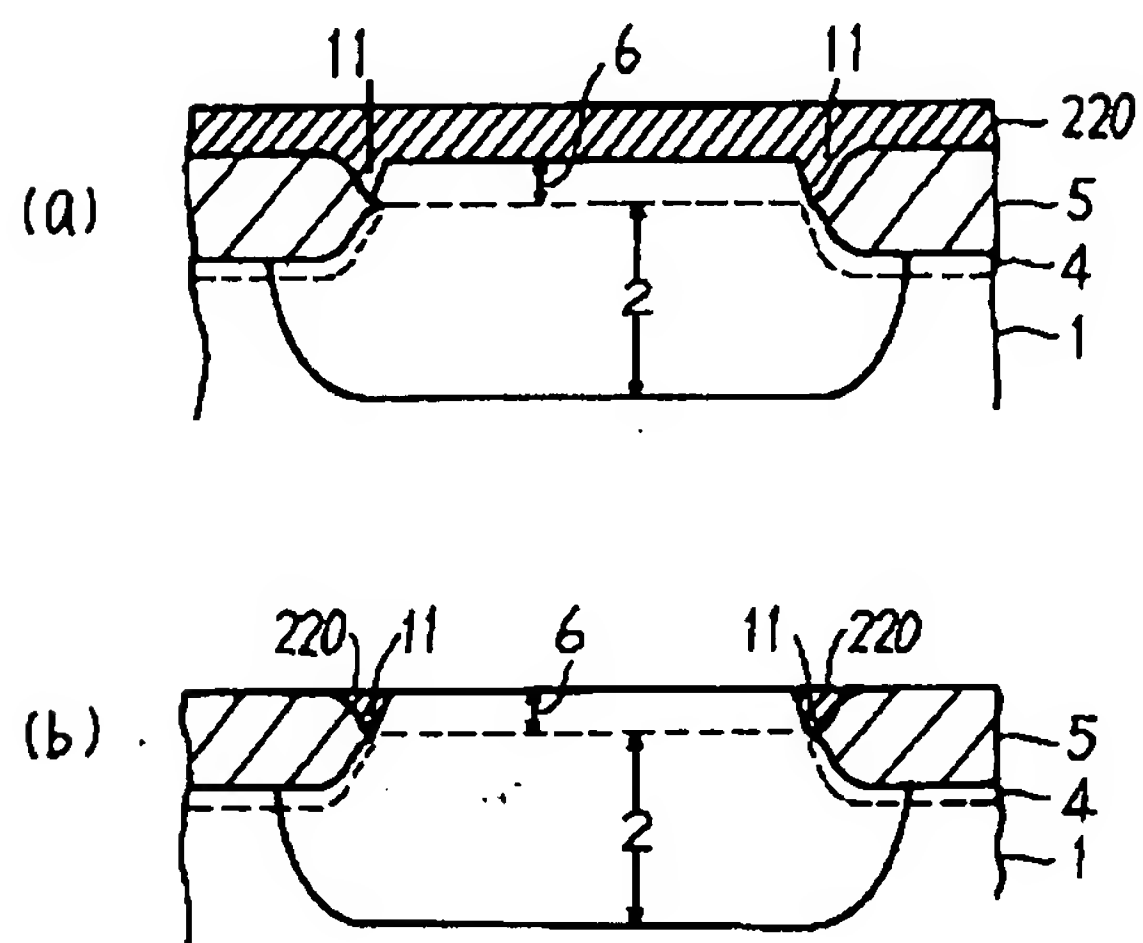
本発明の方法の第3の実施例の工程断面図



[Drawing 7]

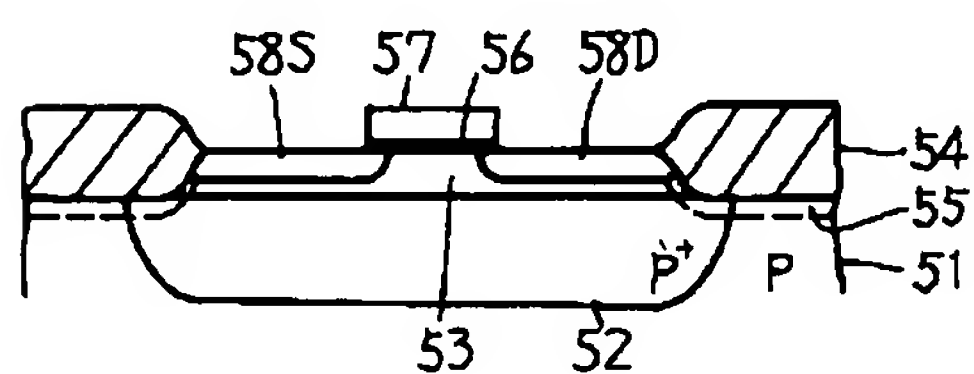
THIS PAGE BLANK (USPTO)

本発明の方法の第4の実施例の工程断面図

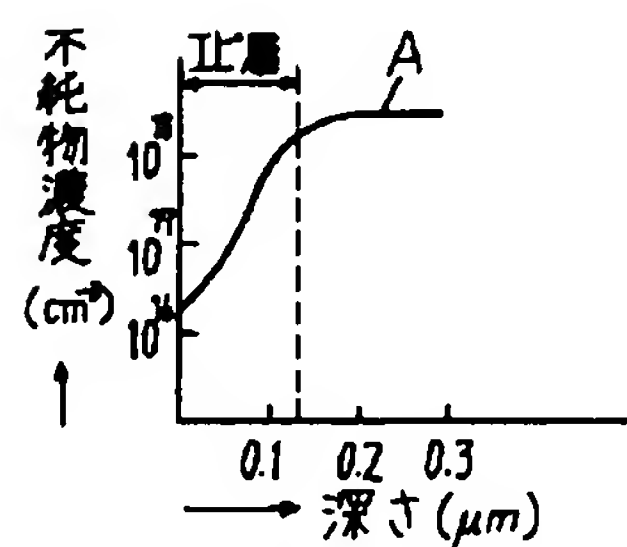


[Drawing 8]

LICTの説明図



(a) 模式断面図

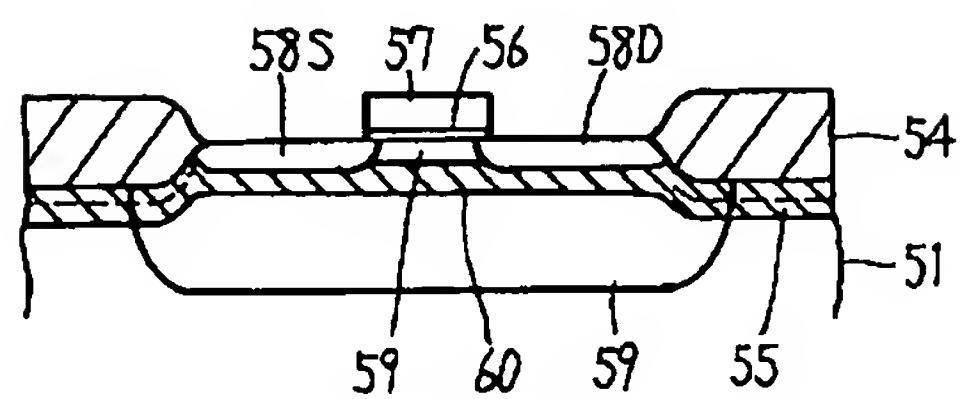


(b) 不純物濃度プロファイル図

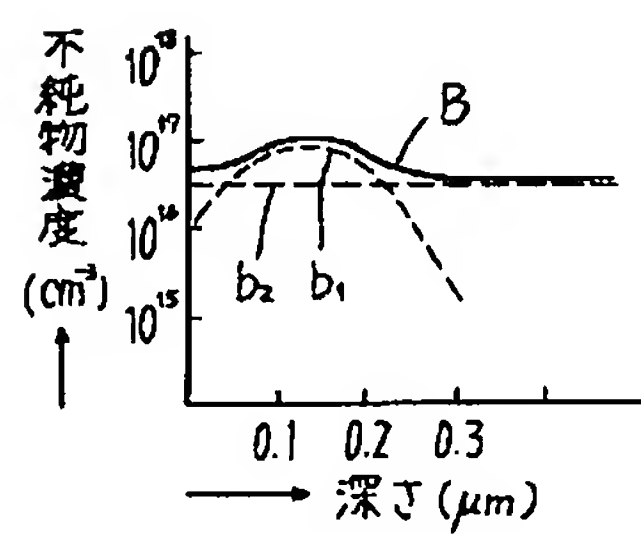
[Drawing 9]

THIS PAGE BLANK (USPTO)

埋込み層付トランジスタの説明図



(a) 模式断面図

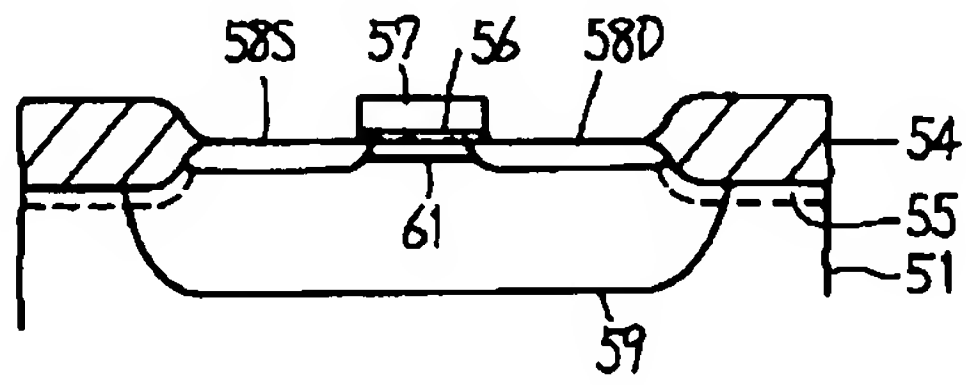


(b) 不純物濃度プロファイル図

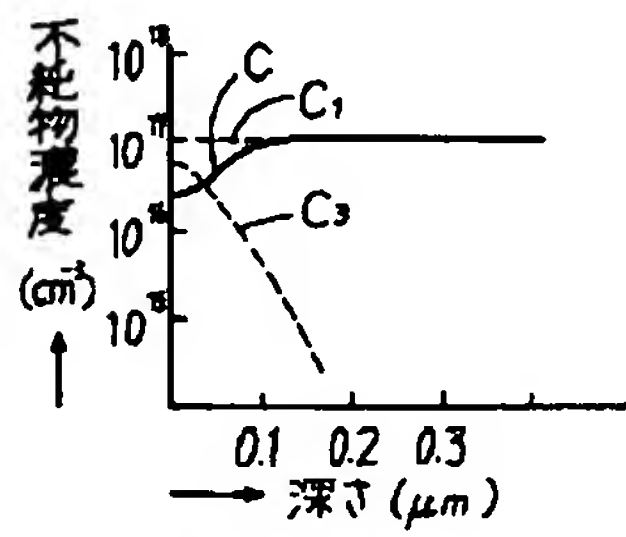
[Drawing 10]

THIS PAGE BLANK (USPTO)

反対導電型イオン注入によるチャネルトランジスタの説明図



(a) 模式断面図



(b) 不純物濃度プロファイル図

[Translation done.]

THIS PAGE BLANK (USPTO)